



2817 03
04-11-02
PATENT
1248-0579P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Masayuki MIYAMOTO Conf.: Unassigned
Appl. No.: 10/084,184 Group: Unassigned
Filed: February 28, 2002 Examiner: Unassigned
For: VARIABLE GAIN AMPLIFIER

LETTER

Assistant Commissioner for Patents
Washington, DC 20231

April 1, 2002

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):


<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2001-055482	February 28, 2000
JAPAN	2002-029742	February 6, 2002

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By 
Charles Gorenstein, #29,271

CG/cb
1248-0579P

Attachments

P.O. Box 747
Staffs Church, VA 22040-0747
(703) 205-8000

RECEIVED
APR -2 2002
MAIL ROOM



日 本 国 特 許 庁
JAPAN PATENT OFFICE

10/084, 184
filed 2/28/02
Birch, Stewart, et al
(703) 209-6665
1 of 2

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2001年 2月28日

出 願 番 号
Application Number:

特願2001-055482

[ST.10/C]:

[JP2001-055482]

出 願 人
Applicant(s):

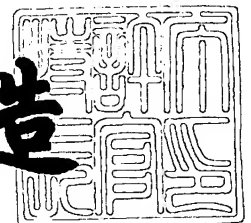
シャープ株式会社

RECEIVED
APR -2, 2002
TC 2800 MAIL ROOM

2002年 1月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3115520

【書類名】 特許願
 【整理番号】 01J00634
 【提出日】 平成13年 2月28日
 【あて先】 特許庁長官 及川 耕造 殿
 【国際特許分類】 H03F 3/45
 【発明の名称】 可変利得増幅器
 【請求項の数】 16

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 宮本 雅之

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003082

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 可変利得増幅器

【特許請求の範囲】

【請求項 1】

入力信号を増幅する増幅トランジスタと、
該増幅トランジスタの大きさおよび上記増幅トランジスタを流れる電流を制御する電流制御部とを備えていることを特徴とする可変利得増幅器。

【請求項 2】

上記電流制御部が上記増幅トランジスタを流れる電流を制御する電流制御トランジスタを有しており、

上記増幅トランジスタおよび上記電流制御トランジスタを含み、並列に配置されている複数の単位回路を備え、各単位回路の信号入力同士が接続されるとともに、各単位回路の信号出力同士が接続されていることを特徴とする請求項 1 に記載の可変利得増幅器。

【請求項 3】

各単位回路が、上記電流制御トランジスタの動作制御電圧を複数の値に切り替える切替制御回路を有していることを特徴とする請求項 2 に記載の可変利得増幅器。

【請求項 4】

各単位回路の上記切替制御回路に、共通する上記動作制御電圧が入力されることを特徴とする請求項 3 に記載の可変利得増幅器。

【請求項 5】

上記単位回路毎に上記切替制御回路の出力を切り替える切替制御信号に基づいて上記動作制御電圧を発生する電圧発生回路を備えていることを特徴とする請求項 4 に記載の可変利得増幅器。

【請求項 6】

上記動作制御電圧が、各単位回路に流れる電流を遮断するような値と、各単位回路に電流を流すような値との 2 つの電圧であることを特徴とする請求項 4 に記載の可変利得増幅器。

【請求項 7】

上記電圧発生回路が、電流が遮断された単位回路の数に応じて他方の動作制御電圧を変化させ、残余の単位回路に流れる総電流量を制御することを特徴とする請求項 6 に記載の可変利得増幅器。

【請求項 8】

上記電圧発生回路が、上記総電流量を一定に制御するように上記動作制御電圧を発生することを特徴とする請求項 7 に記載の可変利得増幅器。

【請求項 9】

上記電流制御部が、上記増幅トランジスタの大きさを変化させる一方、上記増幅トランジスタを流れる電流を一定に制御することを特徴とする請求項 1 に記載の可変利得増幅器。

【請求項 10】

上記電流制御部が上記増幅トランジスタを流れる電流を制御する電流制御トランジスタを有しており、上記増幅トランジスタおよび上記電流制御トランジスタと、上記電流制御トランジスタとともにカレントミラーを構成する補助電流制御トランジスタと、上記電流制御トランジスタおよび上記補助電流制御トランジスタの動作制御電圧を複数の値に切り替える切替制御回路とを含み、並列に配置されている単位回路であって、各単位回路の信号入力同士が接続されるとともに、各単位回路の信号出力同士が接続される複数の単位回路と、

上記補助電流制御トランジスタに一定の電流を供給する電流源とを備えていることを特徴とする請求項 9 に記載の可変利得増幅器。

【請求項 11】

上記増幅トランジスタが増幅トランジスタ差動対からなることを特徴とする請求項 2、3、4、5、6、7、8 または 10 に記載の可変利得増幅器。

【請求項 12】

各単位回路の出力が、負荷インピーダンスを介して電源に接続されていることを特徴とする請求項 2、3、4、5、6、7、8、10 または 11 に記載の可変利得増幅器。

【請求項 13】

各単位回路の出力がソースに接続されるトランジスタ差動対と、

該トランジスタ差動対のそれぞれの出力を電源に接続する負荷インピーダンスとを備え、

上記トランジスタ差動対を構成するトランジスタのゲートに互いに 180° 位相のシフトした発振信号が入力されることを特徴とする請求項 2、3、4、5、6、7、8 または 10 に記載の可変利得増幅器。

【請求項 14】

各増幅トランジスタ差動対の差動出力の一方がソースに接続される第 1 トランジスタ差動対および該差動出力の他方がソースに接続される第 2 トランジスタ差動対であって、互いの差動出力が交差接続される第 1 および第 2 トランジスタ差動対と、

該第 1 および第 2 トランジスタ差動対のそれぞれの出力を電源に接続する負荷インピーダンスとを備え、

上記第 1 および第 2 トランジスタ差動対を構成するトランジスタのゲートに互いに 180° 位相のシフトした発振信号が入力されることを特徴とする請求項 1 に記載の可変利得増幅器。

【請求項 15】

各増幅トランジスタ差動対の差動出力の一方がソースに接続される第 1 トランジスタ差動対および該差動出力の他方がソースに接続される第 2 トランジスタ差動対であって、互いの差動出力が交差接続される第 1 および第 2 トランジスタ差動対と、

各増幅トランジスタ差動対の差動出力の一方がソースに接続される第 3 トランジスタ差動対および該差動出力の他方がソースに接続される第 4 トランジスタ差動対であって、互いの差動出力が交差接続される第 3 および第 4 トランジスタ差動対と、

該第 1 ないし 4 トランジスタ差動対のそれぞれの出力を電源に接続する負荷インピーダンスとを備え、

上記第 1 および第 2 トランジスタ差動対の差動入力に 180° 位相のシフトした第 1 発振信号が入力される一方、第 3 および第 4 トランジスタ差動対の差動入

力に上記第 1 発振信号が 90° 位相シフトした第 2 発振信号が入力されることを特徴とする請求項 11 に記載の可変利得増幅器。

【請求項 16】

第 1 トランジスタと、該第 1 トランジスタと対になってカレントミラーを構成する第 2 トランジスタと、上記第 1 および第 2 トランジスタの動作制御電圧を複数の値に切り替える切替回路とを含み、並列に配置されている単位カレントミラー回路を複数備え、各単位カレントミラー回路の電流入力同士が接続されるとともに、各カレントミラー回路の電流出力同士が接続される可変インピーダンスカレントミラー回路を上記電流制御部の代わりに備えていることを特徴とする請求項 2、3、4、5、6、7、8、10、11、12、13、14 または 15 に記載の可変利得増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体素子を用いて構成する高い線形性を持つ可変利得増幅器に係り、特に、広帯域の無線通信機の実現等に有効な可変利得増幅器に関するものである。

【0002】

【従来の技術】

ケーブルや電波を用いたテレビ放送のチューナのような広帯域の無線通信機は、強い信号が入力されたときのチャンネル間相互変調妨害を抑えるため、高い線形性（歪の小さい）を持つ可変利得増幅器を必要とする。従来のディスクリート部品を用いて構成されるチューナでは、線形性の高い PIN ダイオード部品を用いて信号の減衰器を構成し、増幅器には強い信号が入力されないようにして、相互変調妨害信号の発生を抑えてきた。しかし、CMOS や Bipolar 等の一般に用いられる半導体集積回路上に PIN ダイオードを形成することはできない。このため、無線通信機を半導体集積回路で構成するためには、異なる可変利得増幅器を実現する方法が必要になる。

【0003】

このような可変利得増幅器の構成方法が、米国特許 6, 1 0 0, 7 6 1 号 (Highly Linear Variable-Gain Low Noise Amplifier) に開示されている。この増幅器は、図 2 3 に示すように、トランジスタ $I Q 1 \cdot I Q 2$ を含む NPN トランスコンダクタ対を備えている。トランジスタ $I Q 1 \cdot I Q 2$ のコレクタには、可変抵抗 $1 R c$ を介して電源電圧 $V c$ が印加され、エミッタには可変抵抗 $1 R e$ を介して GND ラインに接続されている。また、トランジスタ $I Q 1 \cdot I Q 2$ のベースは、それぞれ入力 $I N + \cdot I N -$ が入力されるとともに、それぞれ抵抗 $1 R b 1 \cdot 1 R b 2$ を介してバイアス電圧 $V b$ が入力される。

【 0 0 0 4 】

この増幅器の利得は、 $1 R c / (1 / g m + 1 R e)$ となる。ここで、 $g m$ は、トランジスタ $I Q 1 \cdot I Q 2$ のトランスコンダクタンスを表している。上記の増幅器では、 $1 R e$ を図 2 4 に示すように、抵抗 $R n 1 \cdot R n 2 \cdot R n 3 \cdots$ からなる抵抗ラダーおよび各抵抗間に接続された nMOS スイッチ $M n 1 \cdot M n 2 \cdot M n 3 \cdots$ によって構成して可変利得の制御を実現している。nMOS スイッチ $M n 1 \cdot M n 2 \cdot M n 3 \cdots$ は、それぞれゲートに入力される電圧 $V n 1 \cdot V n 2 \cdot V n 3 \cdots$ によって動通・遮断が制御される。

【 0 0 0 5 】

【発明が解決しようとする課題】

ところが、上記の増幅器には、次の 3 つの課題がある。

【 0 0 0 6 】

第 1 に、抵抗ラダーを精度よく設計するためには、nMOS スイッチ $M n 1 \cdot M n 2 \cdot M n 3 \cdots$ のオン抵抗を低く抑える必要がある。しかし、例えば、標準的な $0.25 \mu m$ CMOS プロセスを用いてオン抵抗 1Ω のスイッチを作るためにはチャネル幅が $1000 \mu m$ である巨大なトランジスタを必要とする。従って、上記の抵抗ラダーを実現するには、このような巨大なトランジスタが複数必要になり、このために実装面積が大きくなる。

【 0 0 0 7 】

第 2 に、可変抵抗 $1 R e$ の抵抗値を変化させると回路を流れる電流が変化し、トランジスタの動作点が変動する。この変動を抑えるため、図 2 5 に示すような

バイアス電圧 V_b の調整回路を設けている。この調整回路では、トランジスタ 5 Q 1 のコレクタとベースとの間に抵抗 5 R b が接続され、トランジスタ 5 Q 1 のエミッタと GND ラインとの間に可変抵抗 5 R e が設けられている。また、抵抗 5 R b とコレクタとの接続点にバイアス電流 I_c が流され、同コレクタに現れる電圧 V_b がバッファアンプ 5 0 1 を介してバイアス電圧 V_b として出力される。しかし、この調整回路では、抵抗ラダーのレプリカとなる抵抗 5 R b を含むため、実装面積が大きくなる。

【0008】

第3に、図23および図25に示す構成は、Bipolar トランジスタが用いられているが、BiCMOS プロセスよりも安価な CMOS プロセスを用いて同様の回路を実現するため、Bipolar トランジスタを MOS トランジスタに置き換えたものを考える。ここで、MOS トランジスタを流れる電流 I は、

$$I = K \cdot (W/L) \cdot V_{od}^2 \quad \dots (1)$$

で与えられる。

【0009】

ここで、 K はプロセスから決まる定数であり、 W はトランジスタのチャネル幅であり、 L はトランジスタのチャネル長である。また、 $V_{od} = V_{gs} - V_{th}$ であり、 $V_{gs} = V_g - V_s$ である。ここに、 V_g はゲート電圧であり、 V_s はソース電圧であり、 V_{th} はトランジスタの閾値電圧である。そうすると、利得を下げるために可変抵抗 1 R e の抵抗値を変えても、バイアス電圧 V_b の調整回路が一定電流を流すように働き、電圧 V_{od} が変化しない。

【0010】

ところで、回路の3次の歪成分を現す指標であり、2トーン入力を与えた際の3次相互変調成分が1次の成分と同じ値になる入力値である IIP_3 (3次の入インターセプトポイント) に関して、文献 "RF Linearity of Short-Channel MOSFETs, Theerachet Soorapanth and Thomas H. Lee, First International Workshop on Design of Mixed-Mode Integrated Circuits and Applications, Cancun, Mexico, July, 28-30, 1997, pp.81-84" に言及されている。この文献の Fig. 5 によると、MOS トランジスタの IIP_3 は V_{od} の値で決まることがわかる。

従って、可変抵抗 $1 R e$ の抵抗値を変えることで増幅器の利得を変えても $I I P 3$ は変化しない。

【 0 0 1 1 】

本発明は、上記の事情に鑑みてなされたものであって、利得の減少分を $I I P 3$ の増大分として作用させることができる実装面積の小さい可変利得増幅器を実現することを目的としている。

【 0 0 1 2 】

【課題を解決するための手段】

本発明の可変利得増幅器は、上記の課題を解決するために、入力信号を増幅する増幅トランジスタと、上記増幅トランジスタの大きさおよび上記増幅トランジスタを流れる電流を制御する電流制御部とを備えていることを特徴としている。

【 0 0 1 3 】

上記の構成では、電流制御部によって電流を保った状態で、トランジスタの大きさ (W/L) が縮小または増大すると、線形性の指標である $I I P 3$ が増大または減少し、利得が低下または上昇する。これにより、CMOS構成の可変利得増幅器において利得を低下させても、 $I I P 3$ が増大しないという不都合を解消することができる。また、従来、可変利得のために用いられていた前述の抵抗ラダーが不要になるため、抵抗ラダーにおけるスイッチのオン抵抗を低下させるための大きいスイッチも不要になる。

【 0 0 1 4 】

本発明の基本となる上記の可変利得増幅器は、上記電流制御部が上記増幅トランジスタを流れる電流を制御する電流制御トランジスタを有しており、上記増幅トランジスタおよび上記電流制御トランジスタを含み、並列に配置されている複数の単位回路をさらに備え、各単位回路の信号入力同士が接続されるとともに、各単位回路の信号出力同士が接続されていることが好ましい。

【 0 0 1 5 】

この構成では、電流制御トランジスタの制御によって、増幅トランジスタを流れる電流を独立に制御することができる。例えば、ある単位回路の増幅トランジスタを流れる電流を遮断すると、この単位回路の増幅トランジスタは入力信号の

増幅に寄与しなくなる。

【 0 0 1 6 】

この可変利得増幅器においては、各単位回路が、上記電流制御トランジスタの動作制御電圧を複数の値に切り替える切替制御回路を有していることが好ましい。このように構成することにより、増幅トランジスタの大きさと、単位回路における増幅トランジスタを流れる電流とを制御することができる。

【 0 0 1 7 】

この可変利得増幅器においては、各単位回路の上記切替制御回路に、共通する上記動作制御電圧が入力されることが好ましい。このように構成することにより、使用する動作制御電圧の数が少なくなる。

【 0 0 1 8 】

この可変利得増幅器においては、各単位回路毎に上記切替制御回路の出力を切り替える切替制御信号に基づいて上記動作制御電圧を発生する電圧発生回路を備えていることが好ましい。このように構成することにより、切替制御信号の値に応じて、動作制御電圧の値を変化させて、増幅トランジスタの大きさを変化させるとともに、増幅トランジスタに流れる電流量を制御することができる。

【 0 0 1 9 】

あるいは、上記動作制御電圧が、各単位回路に流れる電流を遮断するような値と、各単位回路に電流を流すような値との2つの電圧であることが好ましい。このような構成では、電流を遮断することにより増幅トランジスタの大きさが小さくなった場合、動作制御電圧を電流を遮断する電圧から遠ざかるように制御すれば、流れる電流量を一定に保つことができる。

【 0 0 2 0 】

この可変利得増幅器値においては、上記電圧発生回路が、電流が遮断された単位回路の数に応じて他方の動作制御電圧を変化させ、残余の単位回路に流れる総電流量を制御することが好ましい。このように構成することにより、可変利得増幅器全体で各単位回路に流れる電流を制御することができる。

【 0 0 2 1 】

この可変利得増幅器においては、電圧発生回路が、上記総電流量を一定に制御

するように上記動作制御電圧を発生することが好ましい。このように構成することにより、電流が流れる単位回路からなる可変利得増幅器において、利得の減少分を確実に I I P 3 の増大分として作用させることができる。

【 0 0 2 2 】

本発明の基本となる前記の可変利得増幅器においては、上記電流制御部が、上記増幅トランジスタの大きさを変化させる一方、上記増幅トランジスタを流れる電流を一定に制御することが好ましい。このように構成することにより、増幅トランジスタの大きさに関わらず、流れる電流が一定値に保たれるので、増幅トランジスタの大きさが小さくなって利得が低下したときに、I I P 3 を増大させることができる。

【 0 0 2 3 】

この可変利得増幅器においては、上記電流制御部が上記増幅トランジスタを流れる電流を制御する電流制御トランジスタを有しており、上記増幅トランジスタおよび上記電流制御トランジスタと、上記電流制御トランジスタとともにカレントミラーを構成する補助電流制御トランジスタと、上記電流制御トランジスタおよび上記補助電流制御トランジスタの動作制御電圧を複数の値に切り替える切替制御回路とを含み、並列に配置されている単位回路であって、各単位回路の信号入力同士が接続されるとともに、各単位回路の信号出力同士が接続される複数の単位回路と、上記補助電流制御トランジスタに一定の電流を供給する電流源とを備えていることが好ましい。

【 0 0 2 4 】

このような構成では、補助電流制御トランジスタに電流源によって一定の電流が流れる一方、電流制御トランジスタおよびこれとともにカレントミラーを構成する補助電流制御トランジスタが、切替制御回路によって切り替えられた動作制御電圧によって動通・遮断が制御される。これにより、電流制御トランジスタにも、補助電流制御トランジスタに流れる一定の電流が流れるので、同じ電流が増幅トランジスタにも流れる。このような可変利得増幅器では、増幅トランジスタの大きさに関わらず、一定の電流を流すことができる回路を、電流制御トランジスタと補助電流制御トランジスタとをMOSトランジスタで簡素に構成すること

によって実現できる。

【 0 0 2 5 】

単位回路を備えた上記の各可変利得増幅器においては、上記増幅トランジスタが増幅トランジスタ差動対からなることが好ましい。このように構成することにより、トランジスタ差動対から得られる信号が全差動信号となり、電源電圧や接地電圧の変動に耐性の高い回路を構成することができる。

【 0 0 2 6 】

単位回路を備えた上記の各可変利得増幅器においては、各単位回路の出力が、負荷インピーダンスを介して電源に接続されていることが好ましい。このように構成することにより、出力電流が電圧に変換され、電圧入力・電圧出力型の可変利得増幅器が実現できる。

【 0 0 2 7 】

単位回路を備えた上記の各可変利得増幅器においては、各単位回路の出力がソースに接続されるトランジスタ差動対と、該トランジスタ差動対のそれぞれの出力を電源に接続する負荷インピーダンスとを備え、上記トランジスタ差動対を構成するトランジスタのゲートに互いに 180° 位相のシフトした発振信号が入力されることが好ましい。このように構成することにより、可変利得制御機能を持つミキサ回路を実現できる。この結果、通常、カスケード接続させる増幅器とミキサ回路とが、融合して構成される。

【 0 0 2 8 】

この可変利得増幅器においては、各増幅トランジスタ差動対の差動出力の一方がソースに接続される第1トランジスタ差動対および該差動出力の他方がソースに接続される第2トランジスタ差動対であって、互いの差動出力が交差接続される第1および第2トランジスタ差動対と、該第1および第2トランジスタ差動対のそれぞれの出力を電源に接続する負荷インピーダンスとを備え、上記第1および第2トランジスタ差動対を構成するトランジスタのゲートに互いに 180° 位相のシフトした発振信号が入力されることが好ましい。このように構成することにより、全差動型可変利得制御機能を持つミキサ回路を実現できる。この結果、通常、カスケード接続させる増幅器とミキサ回路とが、融合して構成される。

【 0 0 2 9 】

あるいは、増幅トランジスタ差動対を備えた上記の可変利得増幅器においては、各増幅トランジスタ差動対の差動出力の一方がソースに接続される第1トランジスタ差動対および該差動出力の他方がソースに接続される第2トランジスタ差動対であって、互いの差動出力が交差接続される第1および第2トランジスタ差動対と、各増幅トランジスタ差動対の差動出力の一方がソースに接続される第3トランジスタ差動対および該差動出力の他方がソースに接続される第4トランジスタ差動対であって、互いの差動出力が交差接続される第3および第4トランジスタ差動対と、該第1ないし4トランジスタ差動対のそれぞれの出力を電源に接続する負荷インピーダンスとを備え、上記第1および第2トランジスタ差動対の差動入力に 180° 位相のシフトした第1発振信号が入力される一方、第3および第4トランジスタ差動対の差動入力に上記第1発振信号が 90° 位相シフトした第2発振信号が入力されることが好ましい。

【 0 0 3 0 】

このように構成することにより、ある信号成分が第1および第2トランジスタ差動対の出力から取り出され、その信号成分を 90° 位相シフトした信号成分が第3および第4トランジスタ差動対の出力から取り出される。これにより、このような異なる2つの信号成分を取り出す可変利得制御機能を持つミキサ回路を実現できる。この結果、通常、カスケード接続させる増幅器とミキサ回路とが、融合して構成される。

【 0 0 3 1 】

単位回路を備えた上記の各可変利得増幅器においては、第1トランジスタと、この第1トランジスタと対になってカレントミラーを構成する第2トランジスタと、上記第1および第2トランジスタの動作制御電圧を複数の値に切り替える切替回路とを含み、並列に配置されている単位カレントミラー回路を複数備え、各単位カレントミラー回路の電流入力同士が接続されるとともに、各単位カレントミラー回路の電流出力同士が接続される可変インピーダンスカレントミラー回路を上記電流制御部の代わりに備えていることが好ましい。

【 0 0 3 2 】

このように構成することにより、可変インピーダンスカレントミラー回路が、増幅トランジスタの大きさが小さい場合には、電流制御トランジスタの大きさを大きくするので、十分な電流を流すことができる。これにより、補助電流制御トランジスタから電流制御トランジスタへコピーされる電流が減少することはない。

【 0 0 3 3 】

【発明の実施の形態】

本発明の各実施の形態 1 について図 1 ないし図 2 2 に基づいて説明すれば、以下の通りである。

【 0 0 3 4 】

まず、本実施の形態に係る可変利得増幅器の基本原理について説明する。

【 0 0 3 5 】

図 1 に示すように、増幅トランジスタ部 Q と、電流制御回路 C とを備えている。電流制御部としての電流制御回路 C は、増幅トランジスタ部 Q に流れる電流の大きさを制御することによって、増幅トランジスタ部 Q を構成するトランジスタの大きさならびに $IIP3$ および利得を制御する。

【 0 0 3 6 】

(1) 式より、MOS トランジスタの $IIP3$ を決める電圧 V_{od} は、

$$V_{od} = \{ I / (K \cdot W / L) \}^{1/2} \quad \dots (2)$$

と表される。一方、MOS トランジスタの利得を決めるトランスコンダクタンス g_m は、式 (1) を微分することにより、

$$g_m = 2 \cdot K \cdot (W / L) \cdot V_{od} = 2 \cdot \{ I \cdot K \cdot W / L \}^{1/2} \quad \dots (3)$$

となる。

【 0 0 3 7 】

(2) 式および (3) 式より、電流制御回路 C によって電流 I を保った状態で、トランジスタの大きさ W/L が縮小または増大すると、電圧 V_{od} または $IIP3$ が増大または減少し、トランスコンダクタンス g_m または利得が減少または増大することがわかる。本発明の可変利得増幅器は、この現象に基づき、増幅トランジスタを流れる電流 I を保って、トランジスタの大きさ W/L を縮小あるいは

増大することにより、IIP3を増大あるいは減少させ、利得を低下あるいは上昇させることができる。

【0038】

以下に、上記の可変利得増幅器の具体的構成を各実施の形態において説明する。なお、各実施の形態で共通する構成要素については、同一の符号を付記する。

【0039】

〔実施の形態1〕

本実施の形態に係る可変利得増幅器は、図2に示すように、信号入力トランジスタ11（増幅トランジスタ）および電流制御トランジスタ12からなる単位回路1を複数備えている。この単位回路1では、信号入力トランジスタ11のソースと電流制御トランジスタ12のドレインとが接続され、信号入力トランジスタ11のドレインを信号出力としている。単位回路1…が並列に配置されるとともに、各単位回路1の信号入力（信号入力トランジスタ12のゲート）同士が接続され、かつ信号出力同士が接続されることにより、制御入力を複数有する可変トランスコンダクタンス（電圧電流利得）回路が構成される。

【0040】

このように構成される可変トランスコンダクタンス回路において、電流制御トランジスタ12のゲート電圧を制御することにより、各単位回路1（信号入力トランジスタ11）を流れる電流を独立に制御することができる。電流制御トランジスタ12のゲートに一方の電源電圧（低電位側電源電圧）、例えば、nMOSトランジスタであれば接地電圧を与え、pMOSトランジスタであれば電源電圧（高電位側電源電圧）を与えることにより、その単位回路1の電流を遮断することができる。すなわち、この単位回路1の信号入力トランジスタ11が入力信号の増幅に寄与しないので、信号入力トランジスタ11の大きさを単位回路1毎に制御することができる。もちろん、信号入力トランジスタ11の大きさは各単位回路1で異なっても良い。

【0041】

上記の構成において、各単位回路1のトランジスタのゲート長Lを共通にすることにより、信号入力トランジスタ11の大きさ W/L を制御することができる。

【 0 0 4 2 】

〔実施の形態 2〕

本実施の形態に係る可変利得増幅器は、図 3 (a) に示すように、図 2 の可変利得増幅器における単位回路 1 にさらに電流制御切替スイッチ 1 3 を備えた単位回路 2 を複数備えている。切替制御回路としての電流制御切替スイッチ 1 3 は、電流制御用トランジスタ 1 2 のゲート（入力部）に与えるゲート電圧（動作制御電圧）として、異なる電流制御電圧 V_{cnt1} ・ V_{cnt2} を切替制御信号 B によって切り替えて与える。切替制御信号 B は、各ビットを構成する b_0 , b_1 , ..., b_k ($k \geq 1$) からなるデジタル信号であり、各ビットの値が各単位回路 2 に入力される。

【 0 0 4 3 】

なお、図 3 (a) の構成では、2 つの電流制御電圧 V_{cnt1} ・ V_{cnt2} を切り替える場合について示しているが、3 つ以上の電流制御電圧を切り替えるようにしてもよい。

【 0 0 4 4 】

このようなロジック制御により、電流増幅に寄与する信号入力トランジスタ 1 1 の大きさと、単位回路 2 を流れる電流とが制御可能になり、より精度の高い制御を行うことができる。例えば、 $B = 0$ 、すなわち (b_0 , b_1 , ..., b_k) が全て “0” の場合、全てのトランジスタが遮断されるので、出力電流が流れない。 $(b_0$, b_1 , ..., $b_k)$ のうち 1 つでも “1” であれば、それが入力される単位回路 2 における電流制御トランジスタ 1 2 が動作する。さらに、(b_0 , b_1 , ..., b_k) が全て “1” である場合、電流制御トランジスタ 1 2 を流れる電流が最大となる。

【 0 0 4 5 】

上記の電流制御切替スイッチ 1 3 は、具体的には、例えば、図 3 (b) に示すように伝送ゲート 1 3 a・1 3 b と、インバータ 1 3 c とから構成されている。伝送ゲート 1 3 a は、pMOS トランジスタ pQ 1 と、nMOS トランジスタ nQ 1 とが並列に接続されてなり、伝送ゲート 1 3 b は、pMOS トランジスタ pQ

2 と、 n MOS トランジスタ $nQ2$ とが並列に接続されてなる。インバータ 13c は、 p MOS トランジスタ $pQ3$ と、 n MOS トランジスタ $nQ3$ とが直列に接続されてなる。

【0046】

切替制御信号 B の各ビット b_n ($n = 0, 1, \dots, k$) は、 p MOS トランジスタ $pQ2 \cdot pQ3$ および n MOS トランジスタ $nQ1 \cdot nQ3$ のゲートに入力される。また、 p MOS トランジスタ $pQ3$ および n MOS トランジスタ $nQ3$ のドレイン同士の接続点は、 p MOS トランジスタ $pQ1$ および n MOS トランジスタ $nQ2$ のゲートに接続されている。

【0047】

このように構成される電流制御切替スイッチ 13 では、ビット b_n の値が、 n MOS トランジスタ $nQ1$ および p MOS トランジスタ $pQ2$ のゲートに直接入力される一方、インバータ 13c を介して反転された状態で p MOS トランジスタ $pQ1$ および n MOS トランジスタ $nQ2$ のゲートに入力される。これにより、ビット b_n の 2 値に応じて伝送ゲート 13a・13b のいずれか一方が開いて、電流制御電圧 $V_{cnt1} \cdot V_{cnt2}$ のいずれか一方を出力する。

【0048】

ここで、図 3 (a) の構成では、信号入力トランジスタ 11 の大きさと、単位回路 2 を流れる電流との制御を単位回路 2 毎に異ならせるように、各単位回路 2 で電流制御電圧 $V_{cnt1} \cdot V_{cnt2}$ をどのように設定してもよい。

【0049】

また、図 4 に示すように、電流制御電圧 $V_{cnt1} \cdot V_{cnt2}$ を各単位回路 2 で共通化してもよい。このような構成では、2 つの電流制御電圧 $V_{cnt1} \cdot V_{cnt2}$ のみを用いるので、多くの電圧を用意する必要がなく、信号入力トランジスタ 11 を流れる電流量の制御が容易になる。

【0050】

例えば、図 5 に示す構成では、電流制御電圧 $V_{cnt1} \cdot V_{cnt2}$ を変化させる制御電圧発生回路 31 を備えている。制御電圧発生回路 31 は、電流制御電圧 $V_{cnt1} \cdot V_{cnt2}$ の値を切替制御信号 B の各ビット b_n の値に応じて制御する。これによ

り、各ビット b_n の値に応じて、電流制御電圧 $V_{cnt1} \cdot V_{cnt2}$ の値を変化させて、増幅に寄与する信号入力トランジスタ 11 の大きさを変化させるとともに、信号入力トランジスタに流れる電流量を制御することができる。

【0051】

また、図 6 に示す構成では、図 5 の特別な実施形態として、電流制御電圧 V_{cnt2} (V_{cnt1} であってもよい) が、信号入力トランジスタ 11 に流れる電流を遮断するための一方の電源電圧 V_{ss} (低電位側の例えば接地電圧) に固定されている。

【0052】

このような構成では、電流を遮断することにより信号入力トランジスタ 11 の大きさが小さくなった場合、流れる電流量を一定に保つためには、電流制御電圧 V_{cnt1} (または V_{cnt2}) を電流を遮断する一方の電源電圧 V_{ss} から遠ざかるように制御すればよい。また、制御電圧発生回路 31 は、電流が遮断された単位回路 2 の数に応じて他方の電流制御電圧 V_{cnt1} (または V_{cnt2}) を変化させ、残余の単位回路 2 に流れる総電流量を一定となるように制御している。

【0053】

図 7 に示す構成は、図 6 の構成を実現する一例であって、制御電圧発生回路 31 として DA 変換器 32 を備えている。この DA 変換器 32 は、入力されるデジタルの切替制御信号 B をアナログに変換して電流制御電圧 V_{cnt1} を生成する。

【0054】

〔実施の形態 3〕

本実施の形態に係る可変利得増幅器は、図 8 に示すように、前述の図 4 ないし図 7 に示す可変利得増幅器の機能を MOS トランジスタで簡潔に実現するように構成されている。この可変利得増幅器は、具体的には、前述の単位回路 2 の代わりに、各単位回路 2 にさらに補助電流制御トランジスタとしての電流制御トランジスタ 14 を加えた単位回路 3 を複数備えるとともに、電流源 15 を備えている。

【0055】

複数の単位回路 3 … は、単位回路 2 … と同様、並列に配置されている。また、

各单位回路 3 の信号入力同士が接続されるとともに、各单位回路 3 の信号出力同士が接続されている。

【0056】

信号入力トランジスタ 11 のソースと電流制御トランジスタ 12 のドレインとが接続され、電流制御トランジスタ 12 のゲートは、電流制御トランジスタ 14 のゲート、および電流制御切替スイッチ 13 の出力端に接続されている。電流制御切替スイッチ 13 の一方の入力端には前述の電源電圧 V_{ss} が入力され、他方の入力端には電流制御トランジスタ 14 のドレインが接続されている。また、各单位回路 3 の電流制御トランジスタ 14 のドレイン同士が一定の電流値 I の電流を供給する電流源 15 に接続されている。

【0057】

このように構成される可変利得増幅器では、各单位回路 3 において、電流制御トランジスタ 12・14 がカレントミラーを構成するので、切替制御信号 B がいかなるデジタル入力値であっても（ただし、全ビットが 0 の場合を除く）、電流制御トランジスタ 12・14 の遮断・導通が同様に行われる。それゆえ、信号入力トランジスタ 11 は、その大きさに関わらず、流れる電流が電流源 15 の電流値 I に保たれる。これにより、信号入力トランジスタ 11 の大きさが小さくなると利得が下がると、電圧 V_{od} が大きくなり $IIP3$ が増大する。

【0058】

この状況をシミュレーションで再現したものを図 9 (a) および (b) に示す。このシミュレーションでは、信号入力トランジスタ 11、電流制御トランジスタ 12、電流制御トランジスタ 14 とともに、 $W=10\mu m$ 、 $L=0.24\mu m$ で定まる大きさである単位回路 3 が 64 個並列接続された回路を用いている。

【0059】

図 9 (a) は、増幅に寄与する単位回路 3 の数（トランジスタの大きさ）を横軸に Log スケールで示し、その数が 2、4、8、16、32、64 である場合の利得および $IIP3$ の変化を示したグラフである。このグラフから、単位回路数が増加するにしたがって利得が増大する一方、 $IIP3$ が減少することが確認できる。図 9 (b) は、横軸に利得をとり、縦軸に $IIP3$ をとってプロットした

グラフである。このグラフから、利得が減少していくにしたがって I I P 3 が増加する対応が確認できる。

【 0 0 6 0 】

なお、図 9 (a) のグラフから、増幅に寄与するトランジスタの大きさをべき乗で変化させることにより、その利得特性および I I P 3 特性がほぼ線形に変化することがわかる。

【 0 0 6 1 】

〔実施の形態 4〕

本実施の形態に係る可変利得増幅器は、図 1 0 に示すように、図 7 に示す可変利得増幅器の出力が、負荷インピーダンス 1 6 を介して他方の電源に接続されるように構成されている。この電源は、電源電圧 V_{cc} (高電位側の電源電圧) を発生する。これにより、出力電流が電圧に変換され、電圧入力・電圧出力型の可変利得増幅器が実現できる。

【 0 0 6 2 】

なお、このような構成は、図 7 の可変利得増幅器に限らず、図 1 ないし図 6 および図 8 の可変利得増幅器に適用できる。

【 0 0 6 3 】

〔実施の形態 5〕

本実施の形態に係る可変利得増幅器は、図 1 1 に示すように、図 7 に示す可変利得増幅器の出力がトランジスタ差動対 1 7 を介して 2 つの負荷インピーダンス 1 8 ・ 1 9 に接続され、さらにこれらを介して電源電圧 V_{cc} のラインに接続されるように構成されている。トランジスタ差動対 1 7 は、トランジスタ 1 7 a ・ 1 7 b からなり、それぞれのゲートには、互いに 180° 位相のシフトした発振信号 V_{L0} が入力される。このように構成することによって、可変利得制御機能を持つミキサ回路を実現できる。

【 0 0 6 4 】

通常、カスケード接続させる増幅器とミキサ回路とが、本実施の形態のように融合して構成されることにより、回路の線形性を劣化する電圧／電流変換を行う部分が一箇所になり、回路の線形性を容易に向上させることができる。

【 0 0 6 5 】

なお、このような構成は、図 7 の可変利得増幅器に限らず、図 1 ないし図 6 および図 8 の可変利得増幅器に適用できる。

【 0 0 6 6 】

また、本実施の形態の可変利得増幅器は、トランジスタ差動対 1 7 と同様なトランジスタ差動対をもう 1 つ追加することによって、後述する実施の形態 8 におけるトランジスタ差動対 2 0 ・ 2 2 （図 2 1 参照）を備えたように構成されていてもよい。このような構成では、追加されたトランジスタ差動対のソースが可変利得増幅器の出力に接続され、追加されたトランジスタ差動対の差動出力がそれぞれ異なる 2 つの負荷インピーダンス（例えば図 2 1 の負荷インピーダンス 2 4 ・ 2 5）に接続される。また、一方のトランジスタ差動対には、上記発振信号 V_{L0} と同様な発振信号（例えば、図 2 1 の発振信号 V_{L0I} ）が入力され、他方のトランジスタ差動対には、その発振信号が 90° 位相シフトした発振信号（例えば、図 2 1 の発振信号 V_{L0Q} ）が入力される。

【 0 0 6 7 】

この構成では、ある信号成分が一方のトランジスタ差動対から取り出され、その信号成分を 90° 位相シフトした信号成分が他方のトランジスタ差動対から取り出される。これにより、このような異なる 2 つの信号成分を取り出す可変利得制御機能を持つミキサ回路を実現できる。

【 0 0 6 8 】

〔実施の形態 6〕

実施の形態 1 ないし 5 の可変利得増幅器においては、入力信号および出力信号が全差動信号ではない。本実施の形態では、これらの信号を全差動信号とすることにより、電源電圧や接地電圧の変動に耐性の高い回路が構成できる。

【 0 0 6 9 】

図 1 2 ないし図 1 9 に、それぞれ、図 2 ないし図 8 および図 1 0 の可変利得増幅器に、ある回路の入出力を全差動構成にした可変利得増幅器を示す。具体的には、各可変利得増幅器では、信号入力トランジスタ 1 1 に代えて、信号入力トランジスタ 1 1 a ・ 1 1 b の差動対を備えている。

【 0 0 7 0 】

以下に、本実施の形態の可変利得増幅器の代表例として図 1 8 の構成（図 8 の可変利得増幅器に対応）を説明する。

【 0 0 7 1 】

この構成では、信号入力トランジスタ 1 1 a ・ 1 1 b のソースが、ともに電流制御トランジスタ 1 2 のドレインに接続され、電流制御トランジスタ 1 2 のゲートが、電流制御トランジスタ 1 4 のゲート、および電流制御切替スイッチ 1 3 の出力端に接続されている。電流制御切替スイッチ 1 3 の一方の入力端には前述の電源電圧 V_{ss} が入力され、他方の入力端には電流制御トランジスタ 1 4 のドレインが接続されている。また、各単位回路 3 の電流制御トランジスタ 1 4 のドレインがともに電流源 1 5 に接続されている。

【 0 0 7 2 】

各単位回路 3 については、差動信号入力同士が接続されるとともに、差動信号出力同士が接続されている。つまり、差動信号入力については、信号入力トランジスタ 1 1 a … のゲート同士が接続される一方、信号入力トランジスタ 1 1 b … のゲート同士が接続されている。また、差動信号出力については、信号入力トランジスタ 1 1 a … のドレイン同士が接続される一方、信号入力トランジスタ 1 1 b … のドレイン同士が接続されている。

【 0 0 7 3 】

このような構成では、切替制御信号 B がいかなるデジタル入力値であっても（ただし、全ビットが 0 の場合を除く）、各単位回路 3 において、電流制御トランジスタ 1 2 ・ 1 4 の遮断および導通が同様に行われるため、信号入力トランジスタ 1 1 a ・ 1 1 b の大きさに関わらず、流れる電流は電流源 1 5 の電流値 I に保たれる。これにより、信号入力トランジスタ 1 1 a ・ 1 1 b の大きさが小さくなって利得が下がると、 V_{od} が大きくなり $I I P 3$ が増大する全差動入出力の可変利得増幅器を実現することができる。

【 0 0 7 4 】

〔実施の形態 7〕

本実施の形態に係る可変利得ミキサ回路は、図 1 2 ないし図 1 8 で示した全差

動型可変利得増幅器を用いて構成される。ここでは、本実施の形態の代表例として図 1 7 の全差動型可変利得増幅器を本実施の形態に適用した構成について説明する。

【 0 0 7 5 】

図 2 0 に示す可変利得ミキサ回路は、図 1 7 の可変利得増幅器に、さらにトランジスタ差動対 2 0 ・ 2 1 および負荷インピーダンス 1 8 ・ 1 9 を備えて構成されている。

【 0 0 7 6 】

第 1 トランジスタ差動対としてのトランジスタ差動対 2 0 は、トランジスタ 2 0 a ・ 2 0 b が並列接続されてなり、第 2 トランジスタ差動対としてのトランジスタ差動対 2 1 は、トランジスタ 2 1 a ・ 2 1 b が並列接続されてなる。トランジスタ差動対 2 0 ・ 2 1 のソースは、それぞれ各単位回路 2 の差動出力のトランジスタ 1 1 a ・ 1 1 b の出力（ドレイン）に接続されている。トランジスタ差動対 2 0 の差動入力とトランジスタ差動対 2 1 の差動入力とが接続されている。具体的には、トランジスタ 2 0 a ・ 2 1 b のゲートが互いに接続されるとともに、トランジスタ 2 0 b ・ 2 1 a のゲートが互いに接続されており、それぞれの接続点には、互いに 1 8 0° 位相のシフトした発振信号 V_{L0} が入力される。

【 0 0 7 7 】

また、トランジスタ差動対 2 0 ・ 2 1 の差動出力は、交差接続されている。具体的には、トランジスタ 2 0 a の出力がトランジスタ 2 1 a の出力に接続され、トランジスタ 2 0 b の出力がトランジスタ 2 1 b の出力に接続されている。さらに、トランジスタ 2 0 a ・ 2 1 a の出力は、負荷インピーダンス 1 9 を介して電源電圧 V_{cc} のラインに接続される一方、トランジスタ 2 0 b ・ 2 1 b の出力は、負荷インピーダンス 1 8 を介して電源電圧 V_{cc} のラインに接続されている。

【 0 0 7 8 】

通常、カスケード接続させる増幅器とミキサ回路とが、本実施の形態のように融合して構成されることにより、回路の線形性を劣化する電圧／電流変換を行う部分が一箇所になり、回路の線形性を容易に向上させることができる。

【 0 0 7 9 】

なお、このような構成は、図 1 7 の可変利得増幅器に限らず、図 1 2 ないし図 1 6 および図 1 8 の可変利得増幅器に適用できる。

【0080】

〔実施の形態 8〕

本実施の形態に係る可変利得ミキサ回路は、図 2 1 に示すように、図 1 2 ないし図 1 8 で示した全差動型可変利得増幅器を用いて構成される。この可変利得ミキサ回路は、無線通信の受信機などで必要となる、ある信号成分とそれを 90° 位相シフトした信号成分を取り出す可変利得制御機能を持つミキサ回路である。ここでは、本実施の形態の代表例として図 1 7 の全差動型可変利得増幅器を本実施の形態に適用した構成について説明する。

【0081】

図 2 1 に示す可変利得ミキサ回路は、図 1 7 の可変利得増幅器に、さらにトランジスタ差動対 2 0 ~ 2 3 および負荷インピーダンス 1 8 ・ 1 9 ・ 2 4 ・ 2 5 を備えて構成されている。

【0082】

各単位回路 2 の差動出力とトランジスタ差動対 2 0 ・ 2 1 との接続、トランジスタ差動対 2 0 ・ 2 1 同士の接続およびトランジスタ差動対 2 0 ・ 2 1 と負荷インピーダンス 1 8 ・ 1 9 との接続は、前述の実施の形態 7 の可変利得ミキサ回路（図 2 0 参照）における接続と同様である。ただし、トランジスタ差動対 2 0 ・ 2 1 の差動入力には、前述の発振信号 V_{L0} と同様な 180° 位相のシフトした第 1 発振信号としての発振信号 V_{L0I} が入力される。

【0083】

一方、第 3 トランジスタ差動対としてのトランジスタ差動対 2 2 は、トランジスタ 2 2 a ・ 2 2 b が並列接続されてなり、第 4 トランジスタ差動対としてのトランジスタ差動対 2 3 は、トランジスタ 2 3 a ・ 2 3 b が並列接続されてなる。トランジスタ差動対 2 2 ・ 2 3 は、それぞれ各単位回路 2 の差動出力のトランジスタ 1 1 a ・ 1 1 b の出力に接続されている。トランジスタ差動対 2 2 の差動入力とトランジスタ差動対 2 3 の差動入力とが接続されている。具体的には、トランジスタ 2 2 a ・ 2 3 b のゲートが互いに接続されるとともに、トランジスタ 2

2 b ・ 2 3 a のゲートが互いに接続されており、それぞれの接続点には、発振信号 V_{L0I} が 90° 位相シフトした第 2 発振信号としての発振信号 V_{L0Q} が入力される。

【 0 0 8 4 】

また、トランジスタ差動対 2 2 ・ 2 3 の差動出力は、交差接続されている。具体的には、トランジスタ 2 2 a の出力がトランジスタ 2 3 a の出力に接続され、トランジスタ 2 2 b の出力がトランジスタ 2 3 b の出力に接続されている。さらに、トランジスタ 2 2 a ・ 2 3 a の出力は、負荷インピーダンス 2 5 を介して電源電圧 V_{cc} のラインに接続される一方、トランジスタ 2 2 b ・ 2 3 b の出力は、負荷インピーダンス 2 4 を介して電源電圧 V_{cc} のラインに接続されている。

【 0 0 8 5 】

このような構成では、ある信号成分が第 1 出力から取り出され、その信号成分を 90° 位相シフトした信号成分が第 2 出力から取り出される。これにより、このような異なる 2 つの信号成分を取り出す可変利得制御機能を持つミキサ回路を実現できる。

【 0 0 8 6 】

この構成でも、通常、カスケード接続させる増幅器とミキサ回路とが、本実施の形態のように融合して構成されることにより、回路の線形性を劣化する電圧／電流変換を行う部分が一箇所になり、回路の線形性を容易に向上させることができる。

【 0 0 8 7 】

なお、このような構成は、図 1 7 の可変利得増幅器に限らず、図 1 2 ないし図 1 6 および図 1 8 の可変利得増幅器に適用できる。

【 0 0 8 8 】

〔実施の形態 9〕

図 8 に示す実施の形態 3 の可変利得増幅器では、電流値を保って信号入力トランジスタ 1 1 の大きさを小さくすると V_{od} が増大する。すなわち、信号入力用トランジスタ 1 1 のソース電圧が、電流制御トランジスタ 1 2 の電流を遮断する一方の電源電圧 V_{ss} に接近する。従って、対応する電流制御トランジスタ 1 2 のド

レイン・ソース電圧 $V_{ds} = V_d - V_s$ （ここで、 V_d はドレイン電圧であり、 V_s はソース電圧である）が減少する。このため、電流源 15 の電流値に比べて電流制御トランジスタ 12 が小さすぎると、その動作が線形領域に入り、電流制御トランジスタ 14 から電流制御トランジスタ 12 へコピーされる電流が減少する。

【0089】

このような不都合を解消するために、信号入力トランジスタ 11 の大きさが小さい場合には、電流制御トランジスタ 12 の大きさを大きくし、そのドレイン・ソース電圧 V_{ds} が低くても十分な電流が流れるように制御すればよい。図 22 (a) に示す回路は、図 8 の構成にその制御機能が加えられて、可変インピーダンスカレントミラー回路 4 を構成している。

【0090】

この可変インピーダンスカレントミラー回路 4 は、並列に配置された複数の単位カレントミラー回路 5 … を備えている。また、各単位カレントミラー回路 5 の電流入力同士が接続されるとともに、各単位カレントミラー回路 5 の電流出力同士が接続されている。また、単位カレントミラー回路 5 は、前述の電流制御トランジスタ 12・14 および電流制御切替スイッチ 13 を備えている。

【0091】

第 1 トランジスタとしての電流制御トランジスタ 12 のゲートは、第 2 トランジスタとしての電流制御トランジスタ 14 のゲート、および電流制御切替スイッチ 13 の出力端に接続されている。電流制御切替スイッチ 13 の一方の入力端には前述の電源電圧 V_{ss} が入力され、他方の入力端には電流制御トランジスタ 14 のドレインが接続されている。また、各単位カレントミラー回路 5 の電流制御トランジスタ 14 のドレイン同士が電流入力のラインに接続されている。一方、各単位カレントミラー回路 5 の電流制御トランジスタ 12 のドレイン同士が電流出力のラインに接続されている。

【0092】

上記のように構成される可変インピーダンスカレントミラー回路 4 では、前述の切替制御信号 $B = (b_0, b_1, \dots, b_k)$ ($k \geq 1$) の値を制御することに

より、カレントミラートランジスタ（電流制御トランジスタ 1 2 ・ 1 4）の大きさ（インピーダンス）を変えることができる。例えば、 $B = 0$ 、すなわち（ b_0 ， b_1 ， \dots ， b_k ）が全て 0 の場合、全てのトランジスタが遮断されるので、出力電流が流れない。（ b_0 ， b_1 ， \dots ， b_k ）のうち 1 つでも 1 であれば、カレントミラーとして動作する。さらに、（ b_0 ， b_1 ， \dots ， b_k ）が全て 1 である場合、カレントミラートランジスタの大きさが最大となるので、出力インピーダンスが最小となる。

【 0 0 9 3 】

図 2 2（b）に示す可変利得増幅器は、上記の可変インピーダンスカレントミラー回路 4 を含む単位回路 6 を複数備えている。単位回路 6 …は、必ずしも構造が同一ではなく、並列に配置され、各電流入力が電流源 1 5 に接続され、信号入力同士が接続されるとともに、信号出力同士が接続されている。単位回路 6 においては、可変インピーダンスカレントミラー回路 4 の電流出力と、信号入力トランジスタ 1 1 のソースとが接続されている。

【 0 0 9 4 】

上記のように構成される可変利得増幅器では、切替制御信号 B_0 ， B_1 ， \dots ， B_n の値を制御することにより、増幅用の信号入力トランジスタ 1 1 の大きさを制御できることは、実施の形態 3 と同様である。信号入力トランジスタ 1 1 の大きさが小さくなった場合、導通している可変インピーダンスカレントミラー回路 4 のトランジスタの大きさを大きくしてインピーダンスを小さくするように制御することにより、前述の電流制御トランジスタ 1 4 から電流制御トランジスタ 1 2 へコピーされる電流が減少するという不都合を解消することができる。

【 0 0 9 5 】

なお、本実施の形態では、図 8 の回路を対象にして説明したが、図 2 ないし図 7 および図 1 0 ないし図 2 1 に示す回路の電流制御用トランジスタ 1 2 は、図 2 2（a）の可変インピーダンスカレントミラー回路 4 の対応する部分で置き換えられる。これにより、このように構成された可変利得増幅器において、電流制御トランジスタ 1 2 が線形領域動作に入ることを回避することができ、電流制御トランジスタ 1 2 の動作域を拡大することができる。

【 0 0 9 6 】

【 発 明 の 効 果 】

以上のように、本発明の可変利得増幅器は、入力信号を増幅する増幅トランジスタと、上記増幅トランジスタの大きさおよび上記増幅トランジスタを流れる電流を制御する電流制御部とを備えている構成である。

【 0 0 9 7 】

これにより、CMOS構成の可変利得増幅器において利得を低下させても、 I_{IP3} が増大しないという不都合を解消することができる。また、従来可変利得のために用いられていた前述の抵抗ラダーが不要になるため、抵抗ラダーにおけるスイッチのオン抵抗を低下させるための大きいスイッチも不要となる。従って、利得の減少分を I_{IP3} の増大分として作用させることができる小さい実装面積の可変利得増幅器を提供することができるという効果を奏する。

【 0 0 9 8 】

本発明の基本となる上記の可変利得増幅器においては、上記電流制御部が上記増幅トランジスタを流れる電流を制御する電流制御トランジスタを有しており、上記増幅トランジスタおよび上記電流制御トランジスタを含み、並列に配置されている複数の単位回路を備え、各単位回路の信号入力同士が接続されるとともに、各単位回路の信号出力同士が接続されていることが好ましい。

【 0 0 9 9 】

これにより、電流制御トランジスタの制御によって、増幅トランジスタを流れる電流を独立に制御することができる。例えば、ある単位回路の増幅トランジスタを流れる電流を遮断すると、この単位回路の増幅トランジスタは入力信号の増幅に寄与しなくなる。従って、増幅トランジスタの大きさを単位回路毎に制御することができるという効果を奏する。

【 0 1 0 0 】

この可変利得増幅器においては、各単位回路が、上記電流制御トランジスタの動作制御電圧を複数の値に切り替える切替制御回路を有していることにより、増幅トランジスタの大きさと、単位回路における増幅トランジスタを流れる電流とを制御することができる。従って、より精度の高い制御を行うことができるとい

う効果を奏する。

【 0 1 0 1 】

この可変利得増幅器においては、各単位回路の上記切替制御回路に、共通する上記動作制御電圧が入力されることにより、使用する動作制御電圧の数が少なくなる。従って、増幅トランジスタを流れる電流量の制御を容易にすることができるという効果を奏する。

【 0 1 0 2 】

この可変利得増幅器においては、各単位回路毎に上記切替制御回路の出力を切り替える切替制御信号に基づいて上記動作制御電圧を発生する電圧発生回路を備えていることにより、切替制御信号の値に応じて、動作制御電圧の値を変化させて、増幅トランジスタの大きさを変化させるとともに、増幅トランジスタに流れる電流量を制御することができる。従って、より精度の高い制御を行うことができるという効果を奏する。

【 0 1 0 3 】

あるいは、上記動作制御電圧が、各単位回路に流れる電流を遮断するような値と、各単位回路に電流を流すような値との2つの電圧であることにより、電流を遮断することで増幅トランジスタの大きさが小さくなった場合、動作制御電圧を電流を遮断する電圧から遠ざかるように制御すれば、流れる電流量を一定に保つことができる。従って、容易に電流量を一定に制御することができるという効果を奏する。

【 0 1 0 4 】

この可変利得増幅器値においては、上記電圧発生回路が、電流が遮断された単位回路の数に応じて他方の動作制御電圧を変化させ、残余の単位回路に流れる総電流量を制御することにより、可変利得増幅器全体で各単位回路に流れる電流を制御することができる。従って、高精度に電流量を制御することができるという効果を奏する。

【 0 1 0 5 】

この可変利得増幅器においては、上記電圧発生回路が、上記総電流量を一定に制御するように上記動作制御電圧を発生することが好ましい。これにより、電流

が流れる単位回路からなる可変利得増幅器において、利得の減少分を確実に $IIP3$ の増大分として作用させることができるという効果を奏する。

【 0 1 0 6 】

本発明の基本となる前記の可変利得増幅器においては、上記電流制御部が、上記増幅トランジスタの大きさを変化させる一方、上記増幅トランジスタを流れる電流を一定に制御することにより、増幅トランジスタの大きさに関わらず、流れる電流が一定値に保たれるので、増幅トランジスタの大きさが小さくなって利得が低下したときに、 $IIP3$ を増大させることができる。従って、より確実に利得と $IIP3$ とを制御することができるという効果を奏する。

【 0 1 0 7 】

この可変利得増幅器においては、上記電流制御部が上記増幅トランジスタを流れる電流を制御する電流制御トランジスタを有しており、上記増幅トランジスタおよび上記電流制御トランジスタと、上記電流制御トランジスタとともにカレントミラーを構成する補助電流制御トランジスタと、上記電流制御トランジスタおよび上記補助電流制御トランジスタの動作制御電圧を複数の値に切り替える切替制御回路とを含み、並列に配置されている単位回路であって、各単位回路の信号入力同士が接続されるとともに、各単位回路の信号出力同士が接続される複数の単位回路と、上記補助電流制御トランジスタに一定の電流を供給する電流源とを備えている構成である。

【 0 1 0 8 】

これにより、カレントミラーを構成する電流制御トランジスタおよび補助電流制御トランジスタによって、電流源からの一定の電流が増幅トランジスタに流れる。それゆえ、増幅トランジスタの大きさに関わらず、一定の電流を流すことができる回路を、電流制御トランジスタと補助電流制御トランジスタとを MOS トランジスタで簡素に構成することによって実現できる。従って、可変利得増幅器の低コスト化を図ることができるという効果を奏する。

【 0 1 0 9 】

単位回路を備えた上記の各可変利得増幅器においては、上記増幅トランジスタが増幅トランジスタ差動対からなることにより、トランジスタ差動対から得られ

る信号が全差動信号となり、電源電圧や接地電圧の変動に耐性の高い回路を構成することができる。従って、より信頼性の高い可変利得増幅器を提供することができるという効果を奏する。

【0 1 1 0】

単位回路を備えた上記の各可変利得増幅器においては、各単位回路の出力が、負荷インピーダンスを介して電源に接続されていることにより、出力電流が電圧に変換され、電圧入力・電圧出力型の可変利得増幅器が実現できるという効果を奏する。

【0 1 1 1】

単位回路を備えた上記の各可変利得増幅器においては、各単位回路の出力がソースに接続されるトランジスタ差動対と、該トランジスタ差動対のそれぞれの出力を電源に接続する負荷インピーダンスとを備え、上記トランジスタ差動対を構成するトランジスタのゲートに互いに 180° 位相のシフトした発振信号が入力されることにより、可変利得制御機能を持つミキサ回路を実現できる。この結果、通常、カスケード接続させる増幅器とミキサ回路とが、融合して構成される。従って、回路の線形性を劣化する電圧／電流変換を行う部分が一箇所になり、回路の線形性を容易に向上させることができるという効果を奏する。

【0 1 1 2】

単位回路を備えた上記の各可変利得増幅器においては、各増幅トランジスタ差動対の差動出力の一方がソースに接続される第1トランジスタ差動対および該差動出力の他方がソースに接続される第2トランジスタ差動対であって、互いの差動出力が交差接続される第1および第2トランジスタ差動対と、該第1および第2トランジスタ差動対のそれぞれの出力を電源に接続する負荷インピーダンスとを備え、上記第1および第2トランジスタ差動対を構成するトランジスタのゲートに互いに 180° 位相のシフトした発振信号が入力されることにより、全差動型可変利得制御機能を持つミキサ回路を実現できる。この結果、通常、カスケード接続させる増幅器とミキサ回路とが、融合して構成される。従って、回路の線形性を劣化する電圧／電流変換を行う部分が一箇所になり、回路の線形性を容易に向上させることができるという効果を奏する。

【 0 1 1 3 】

単位回路を備えた上記の各可変利得増幅器においては、各増幅トランジスタ差動対の差動出力の一方がソースに接続される第 1 トランジスタ差動対および該差動出力の他方がソースに接続される第 2 トランジスタ差動対であって、互いの差動出力が交差接続される第 1 および第 2 トランジスタ差動対と、各増幅トランジスタ差動対の差動出力の一方がソースに接続される第 3 トランジスタ差動対および該差動出力の他方がソースに接続される第 4 トランジスタ差動対であって、互いの差動出力が交差接続される第 3 および第 4 トランジスタ差動対と、該第 1 ないし 4 トランジスタ差動対のそれぞれの出力を電源に接続する負荷インピーダンスとを備え、上記第 1 および第 2 トランジスタ差動対の差動入力に 180° 位相シフトした第 1 発振信号が入力される一方、第 3 および第 4 トランジスタ差動対の差動入力に上記第 1 発振信号が 90° 位相シフトした第 2 発振信号が入力される構成である。

【 0 1 1 4 】

ことにより、ある信号成分を第 1 および第 2 トランジスタ差動対の出力から取り出し、その信号成分を 90° 位相シフトした信号成分を第 3 および第 4 トランジスタ差動対の出力から取り出す可変利得制御機能を持つミキサ回路を実現できる。この結果、通常、カスケード接続させる増幅器とミキサ回路とが、融合して構成される。従って、回路の線形性を劣化する電圧／電流変換を行う部分が一箇所になり、回路の線形性を容易に向上させることができるという効果を奏する。

【 0 1 1 5 】

単位回路を備えた上記の各可変利得増幅器においては、第 1 トランジスタと、該第 1 トランジスタと対になってカレントミラーを構成する第 2 トランジスタと、上記第 1 および第 2 トランジスタの動作制御電圧を複数の値に切り替える切替回路とを含み、並列に配置されている単位カレントミラー回路を複数備え、各単位カレントミラー回路の電流入力同士が接続されるとともに、各カレントミラー回路の電流出力同士が接続される可変インピーダンスカレントミラー回路を上記電流制御部の代わりに備えている。

【 0 1 1 6 】

これにより、可変インピーダンスカレントミラー回路が、増幅トランジスタの大きさが小さい場合には、電流制御トランジスタの大きさを大きくするので、十分な電流を流すことができる。それゆえ、補助電流制御トランジスタから電流制御トランジスタへコピーされる電流が減少することはない。従って、電流制御トランジスタが線形領域動作に入ることを回避して、電流制御トランジスタの動作域を拡大することができるという効果を奏する。

【図面の簡単な説明】

【図 1】

本発明の各実施の形態に係る可変利得増幅器の基本原理となる構成を示すブロック図である。

【図 2】

本発明の実施の形態 1 に係る可変利得増幅器の構成を示す回路図である。

【図 3】

(a) は本発明の実施の形態 2 に係る可変利得増幅器の構成を示す回路図であり、(b) はこの可変利得増幅器における電流制御切替スイッチの構成を示す回路図である。

【図 4】

本発明の実施の形態 2 の変形例に係る可変利得増幅器の構成を示す回路図である。

【図 5】

本発明の実施の形態 2 の変形例に係る他の可変利得増幅器の構成を示す回路図である。

【図 6】

本発明の実施の形態 2 の変形例に係るさらに他の可変利得増幅器の構成を示す回路図である。

【図 7】

図 6 の可変利得増幅器の具体的構成を示す回路図である。

【図 8】

本発明の実施の形態 3 に係る可変利得増幅器の構成を示す回路図である。

【図 9】

(a) は図 8 の可変利得増幅器における単位回路数と利得および I I P 3 との関係を示すグラフであり、(b) は図 8 の可変利得増幅器における利得と I I P 3 との関係を示すグラフである。

【図 1 0】

本発明の実施の形態 4 に係る可変利得増幅器の構成を示す回路図である。

【図 1 1】

本発明の実施の形態 5 に係る可変利得増幅器の構成を示す回路図である。

【図 1 2】

図 2 の可変利得増幅器を全差動化した本発明の実施の形態 6 に係る可変利得増幅器の構成を示す回路図である。

【図 1 3】

図 3 (a) の可変利得増幅器を全差動化した本発明の実施の形態 6 に係る可変利得増幅器の構成を示す回路図である。

【図 1 4】

図 4 の可変利得増幅器を全差動化した本発明の実施の形態 6 に係る可変利得増幅器の構成を示す回路図である。

【図 1 5】

図 5 の可変利得増幅器を全差動化した本発明の実施の形態 6 に係る可変利得増幅器の構成を示す回路図である。

【図 1 6】

図 6 の可変利得増幅器を全差動化した本発明の実施の形態 6 に係る可変利得増幅器の構成を示す回路図である。

【図 1 7】

図 7 の可変利得増幅器を全差動化した本発明の実施の形態 6 に係る可変利得増幅器の構成を示す回路図である。

【図 1 8】

図 8 の可変利得増幅器を全差動化した本発明の実施の形態 6 に係る可変利得増幅器の構成を示す回路図である。

【図 1 9】

図 1 0 の可変利得増幅器を全差動化した本発明の実施の形態 6 に係る可変利得増幅器の構成を示す回路図である。

【図 2 0】

本発明の実施の形態 7 に係る全差動型可変利得ミキサ回路の構成を示す回路図である。

【図 2 1】

本発明の実施の形態 8 に係る全差動型可変利得ミキサ回路の構成を示す回路図である。

【図 2 2】

(a) は本発明の実施の形態 9 に係る可変インピーダンスカレントミラー回路の構成を示す回路図であり、(b) は上記可変インピーダンスカレントミラー回路を含む可変利得増幅器の構成を示す回路図である。

【図 2 3】

従来の可変利得増幅器の構成を示す回路図である。

【図 2 4】

図 2 3 の可変利得増幅器における可変抵抗の構成を示す回路図である。

【図 2 5】

図 2 3 の可変利得増幅器におけるバイアス電圧調整回路の構成を示す回路図である。

【符号の説明】

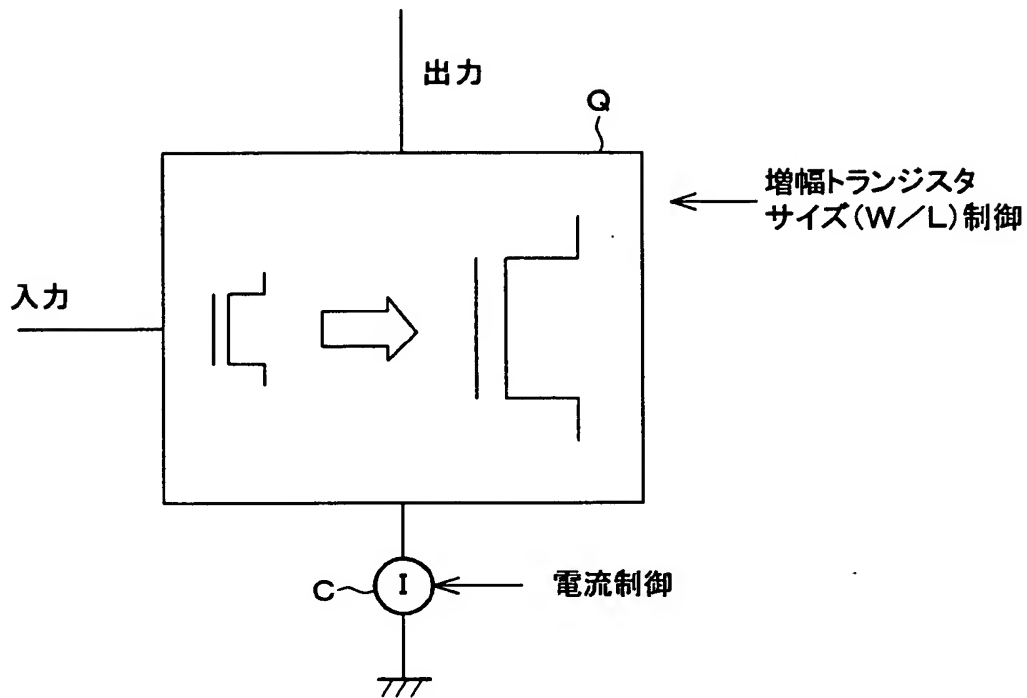
- | | |
|---------------|--------------------------------|
| 1 ～ 3 ・ 6 | 単位回路 |
| 4 | 可変インピーダンスカレントミラー回路 |
| 5 | 単位カレントミラー回路 |
| 1 1 | 信号入力トランジスタ (増幅トランジスタ) |
| 1 1 a ・ 1 1 b | 信号入力トランジスタ (増幅トランジスタ差動対) |
| 1 2 | 電流制御トランジスタ (第 1 トランジスタ) |
| 1 3 | 電流制御切替スイッチ (切替制御回路、切替回路) |
| 1 4 | 電流制御トランジスタ (補助電流制限トランジスタ、第 2 ト |

ランジスタ)

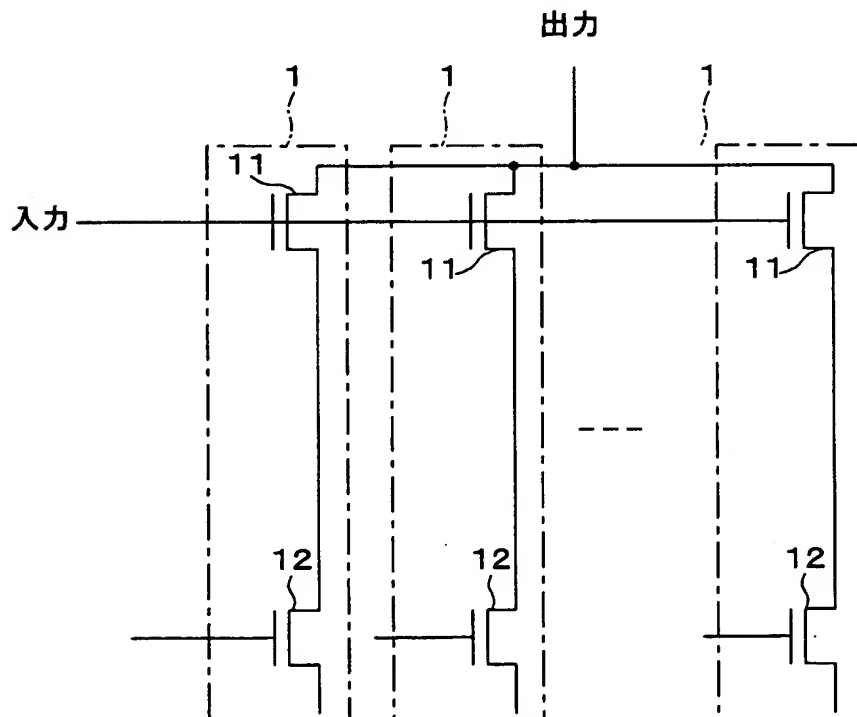
1 7	トランジスタ差動対
1 7 a ・ 1 7 b	トランジスタ
1 8 ・ 1 9	負荷インピーダンス
2 0	トランジスタ差動対 (第 1 トランジスタ差動対)
2 0 a	トランジスタ
2 0 b	トランジスタ
2 1	トランジスタ差動対 (第 2 トランジスタ差動対)
2 1 a	トランジスタ
2 1 b	トランジスタ
2 2	トランジスタ差動対 (第 3 トランジスタ差動対)
2 2 a	トランジスタ
2 2 b	トランジスタ
2 3	トランジスタ差動対 (第 4 トランジスタ差動対)
2 3 a	トランジスタ
2 3 b	トランジスタ
2 4 ・ 2 5	負荷インピーダンス
3 1	制御電圧発生回路 (電圧発生回路)
C	電流制御回路 (電流制御部)
Q	増幅トランジスタ部 (増幅トランジスタ)
V _{cnt1} ・ V _{cnt2}	電流制御電圧 (動作制御電圧)
V _{cc} ・ V _{ss}	電源電圧
V _{L0}	発振信号
V _{L0} I	第 1 発振信号
V _{L0} Q	第 2 発振信号

【書類名】 図面

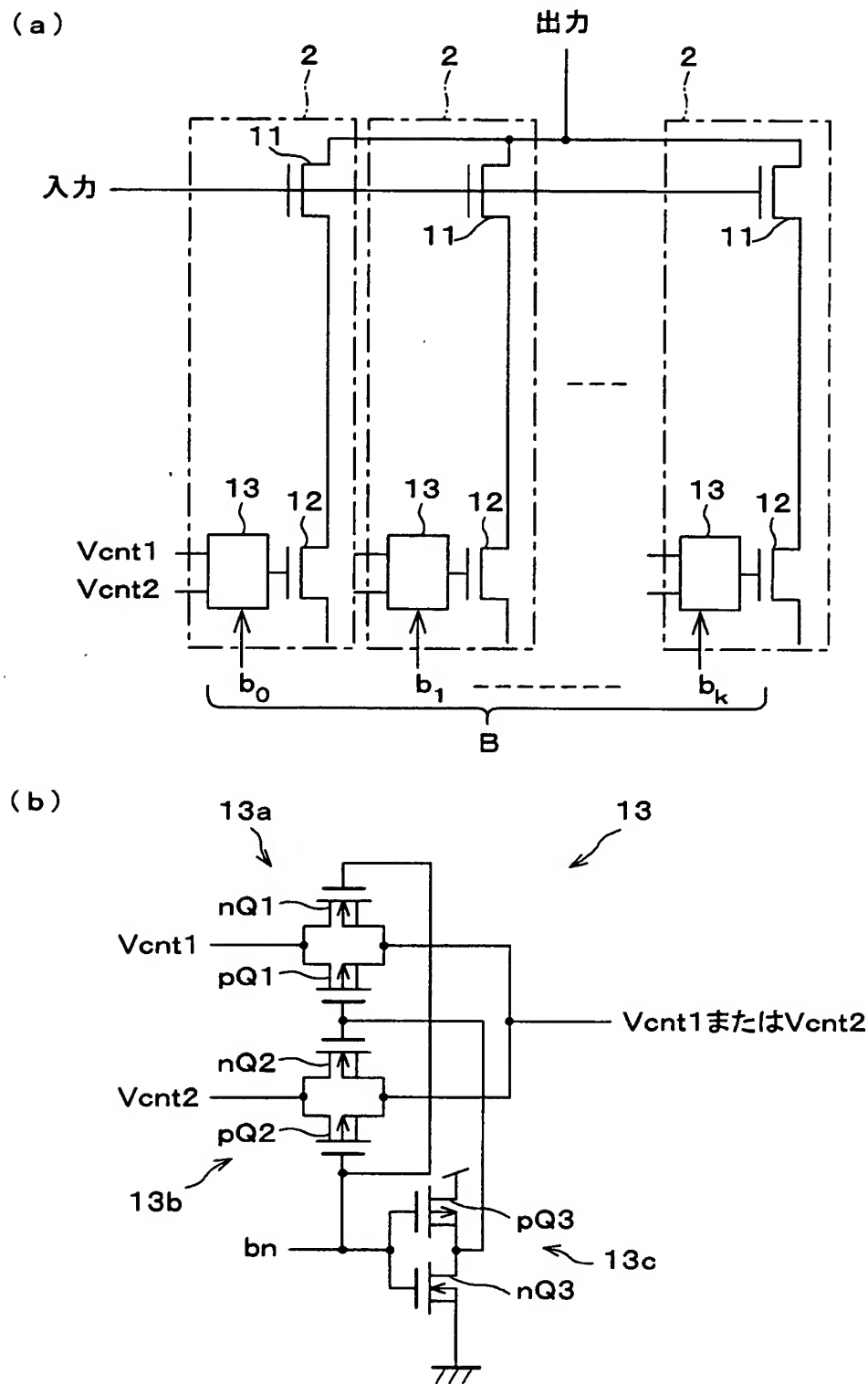
【図 1】



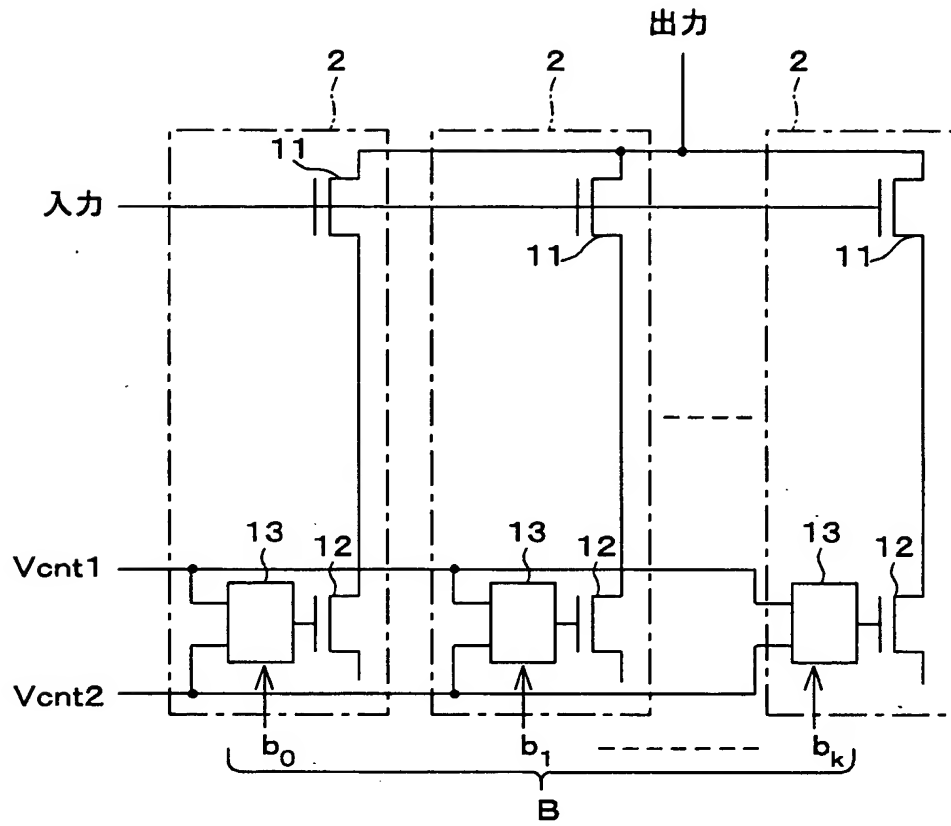
【図 2】



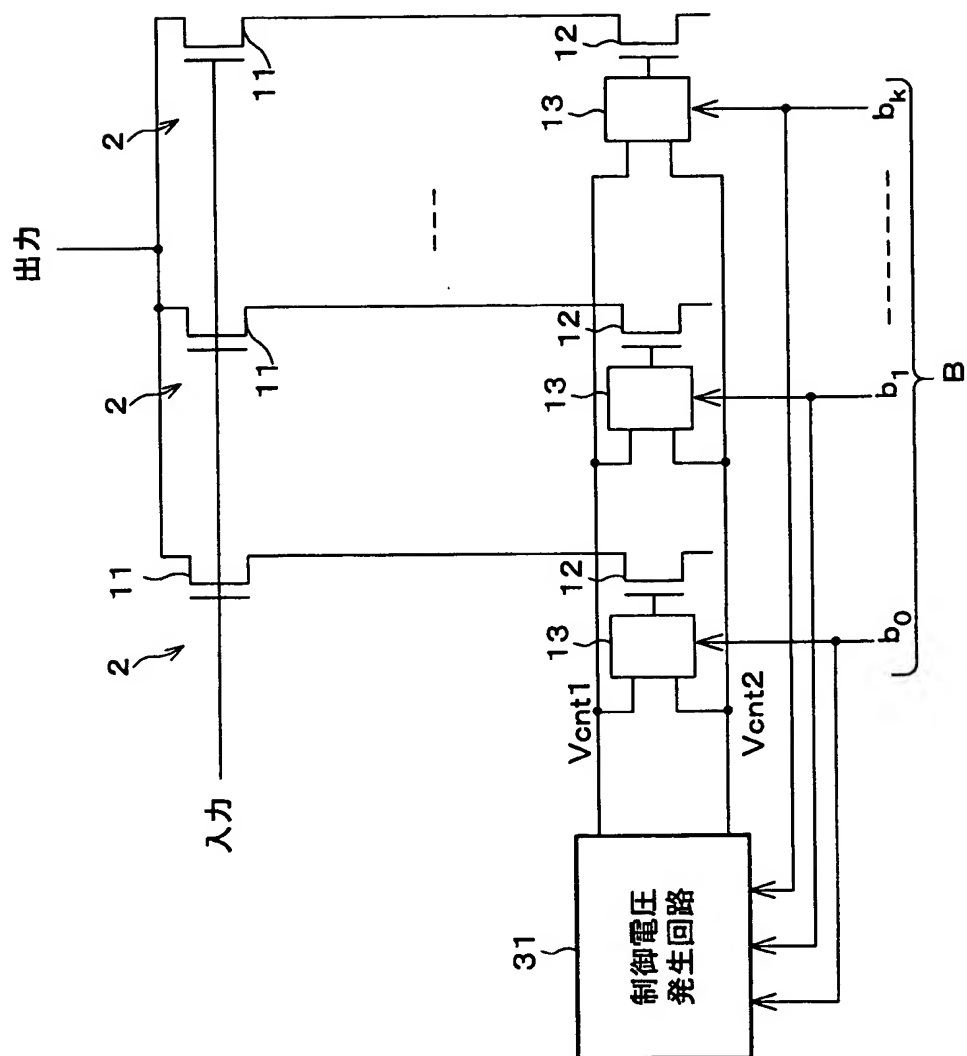
【図 3】



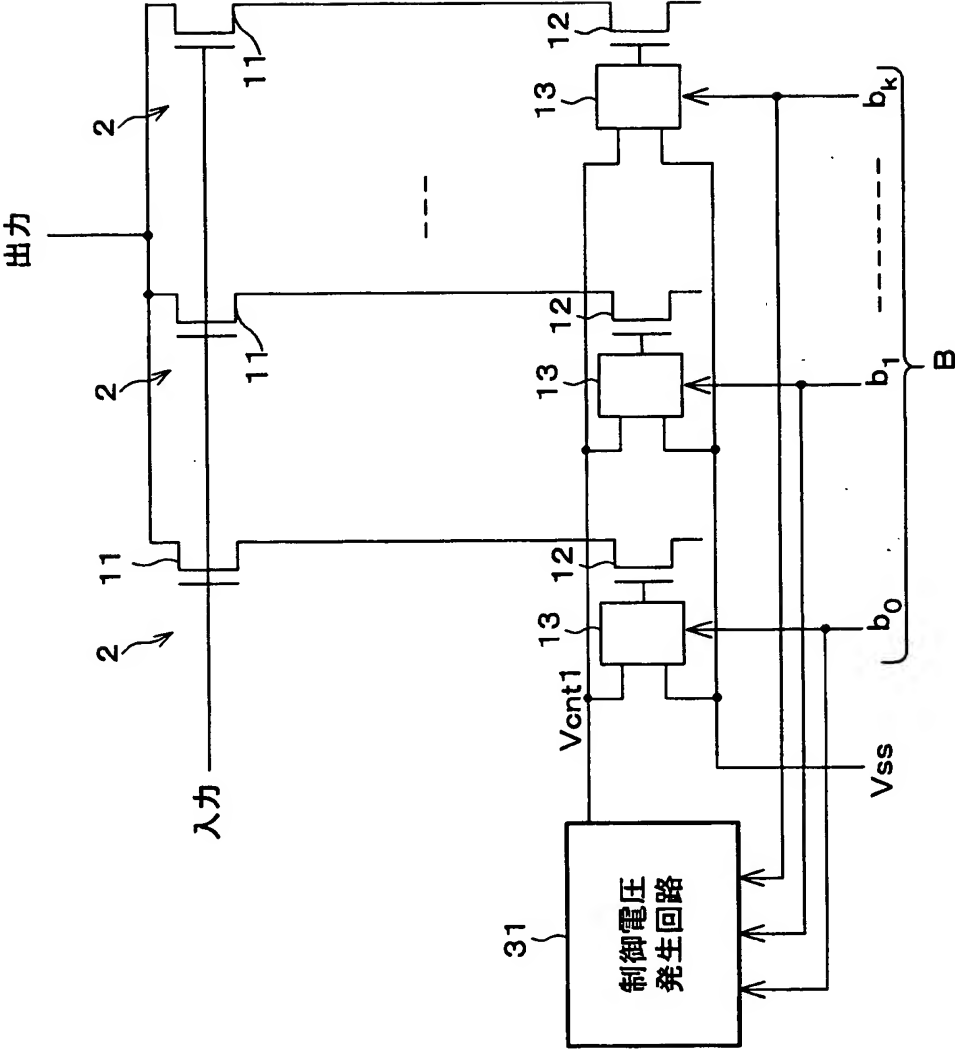
【図4】



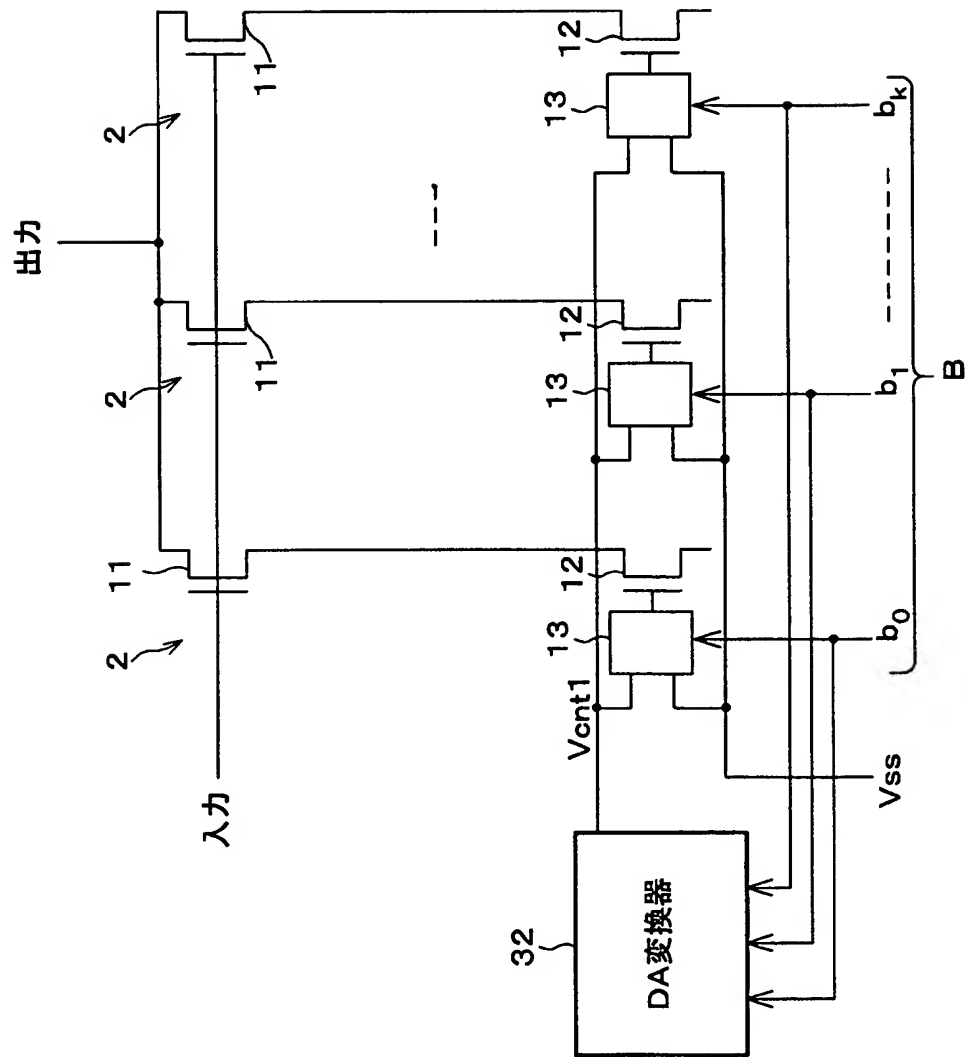
【図 5】



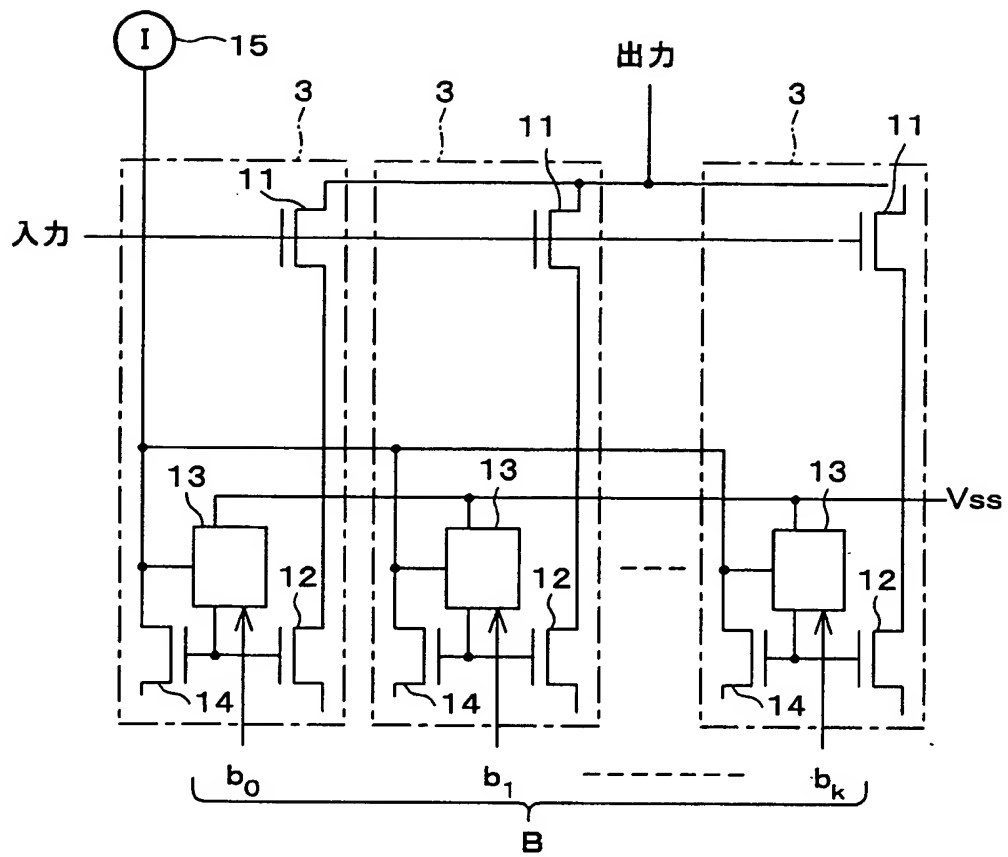
【図 6】



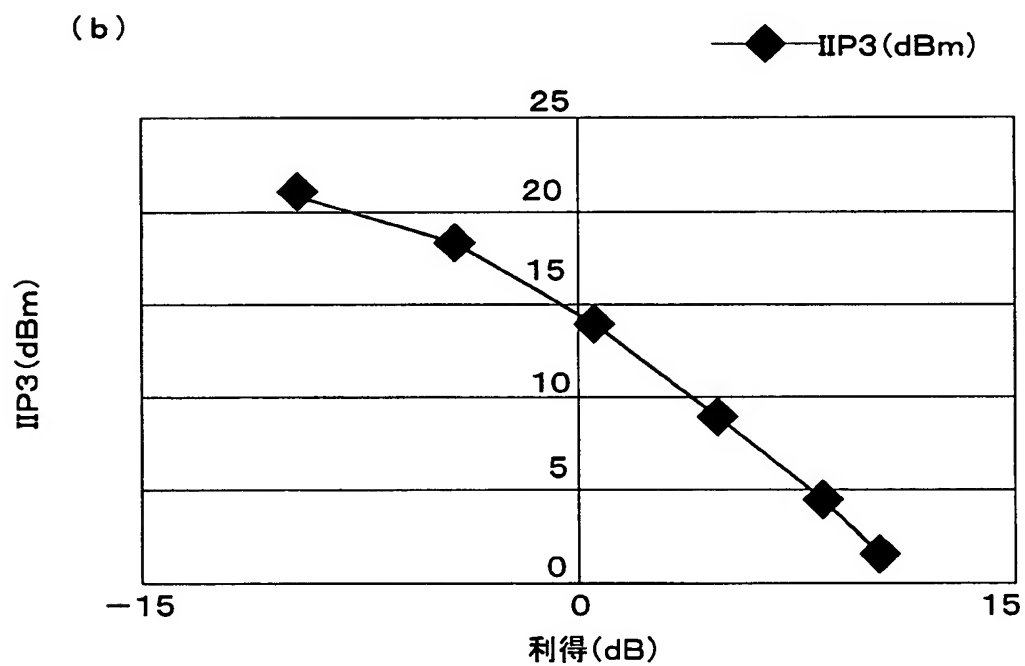
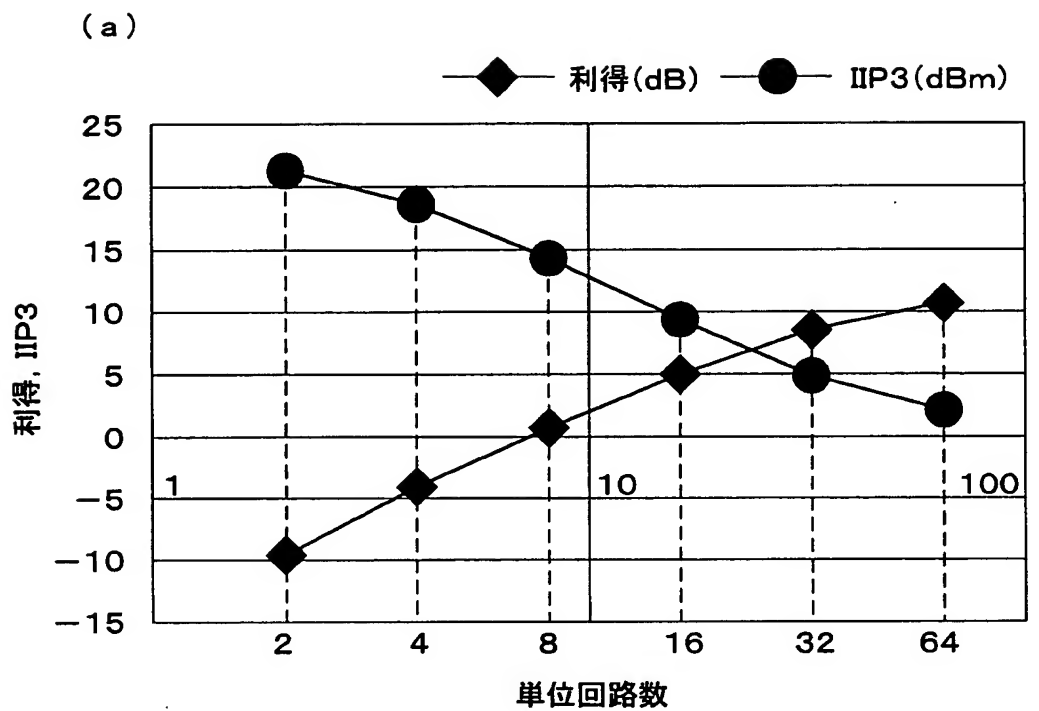
【图 7】



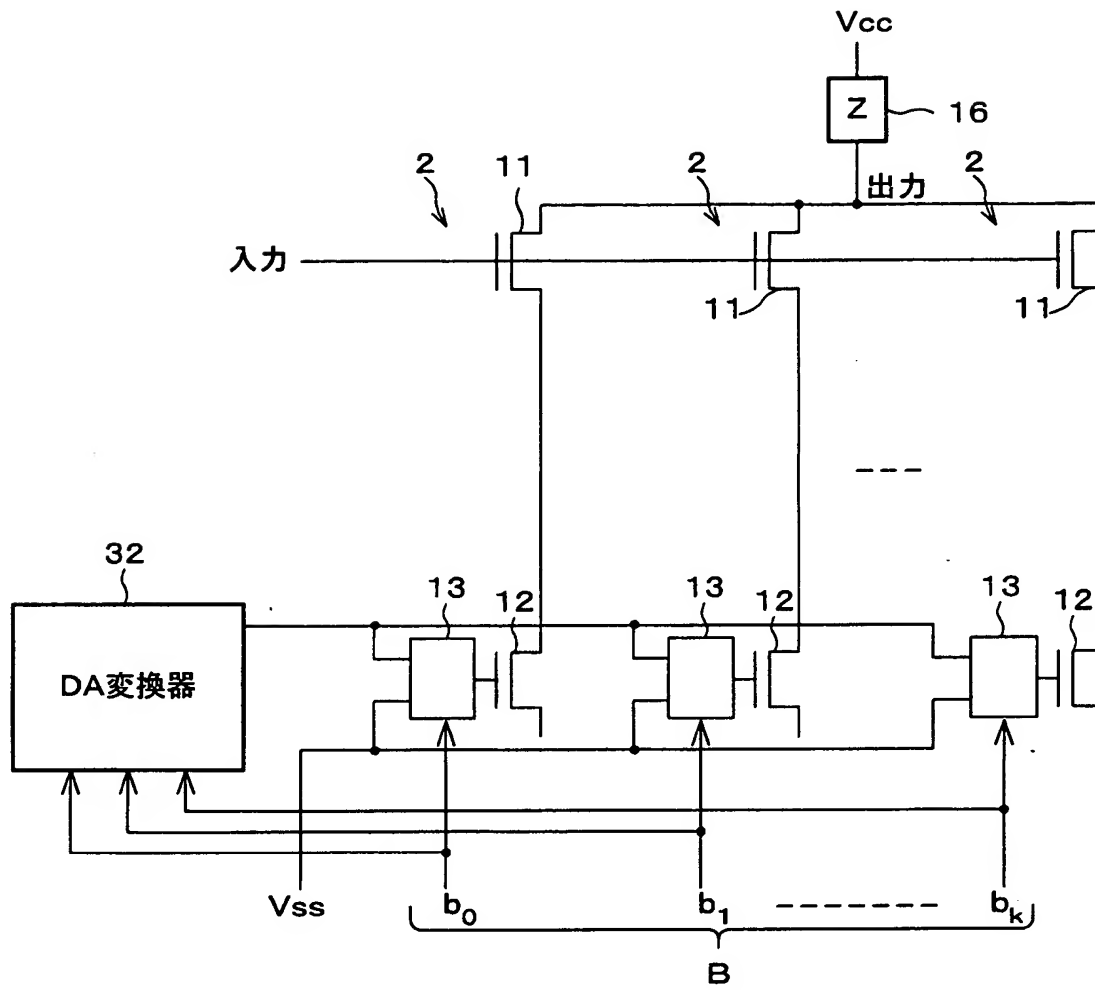
【図 8】



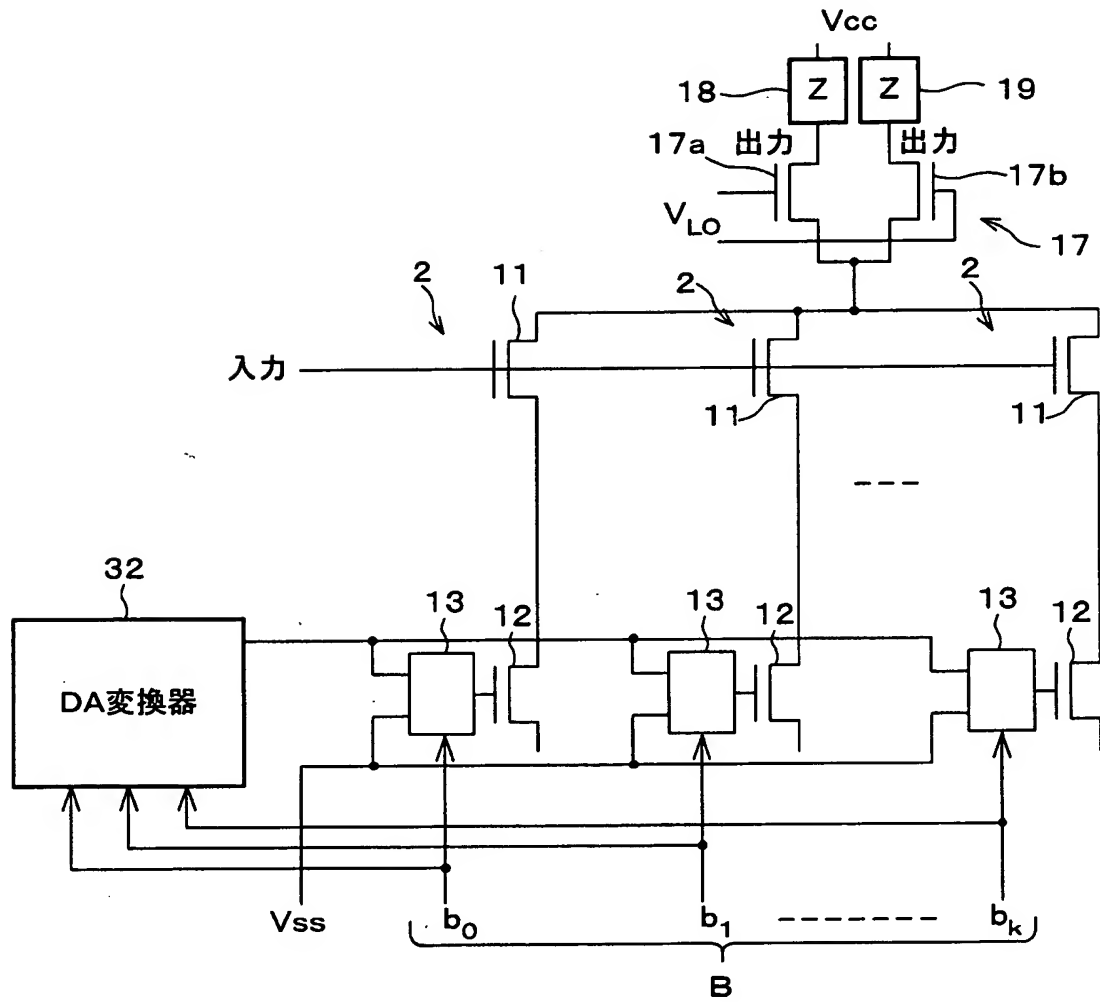
【図 9】



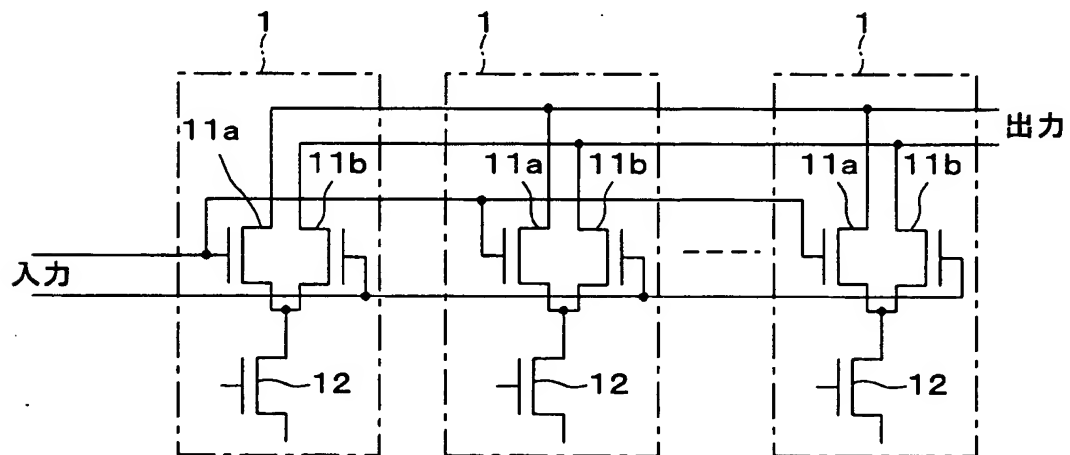
【図10】



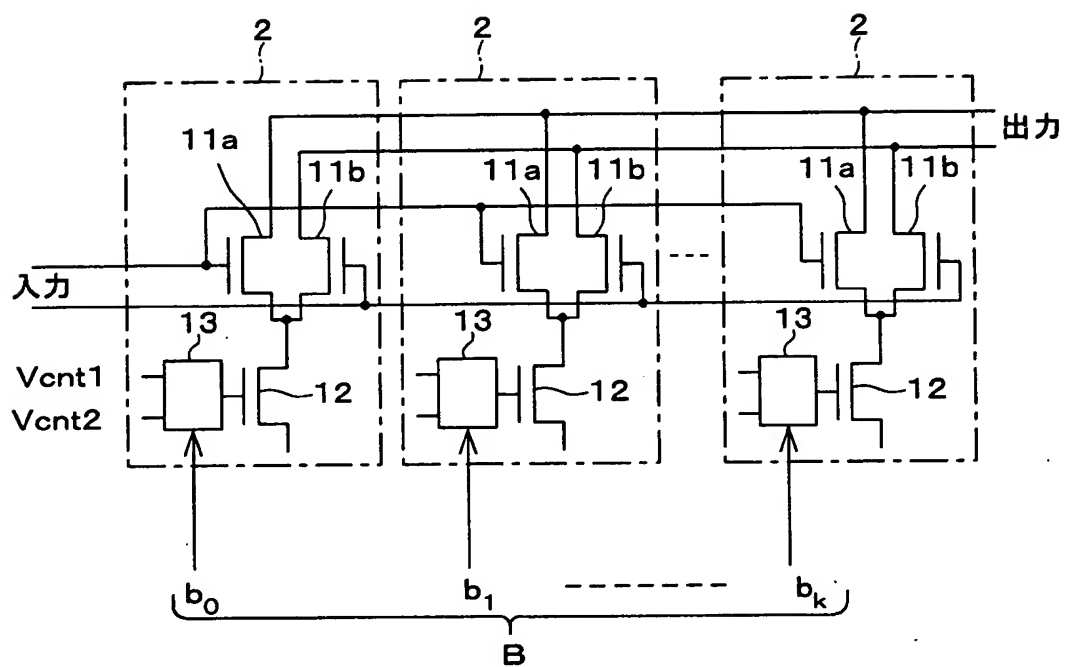
【图 1-1】



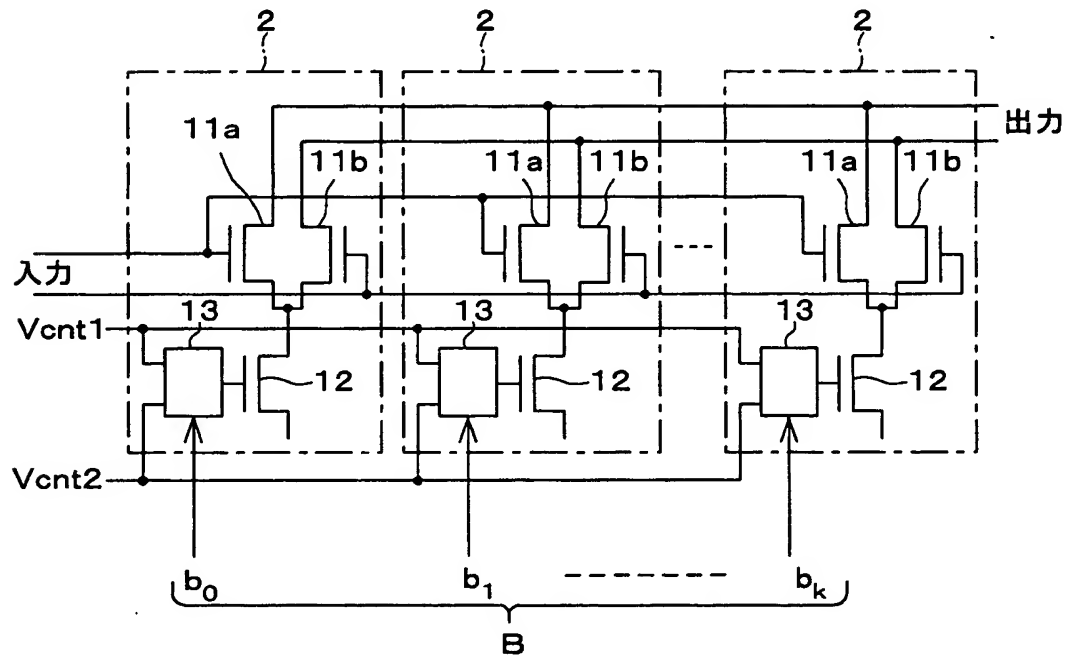
【图 12】



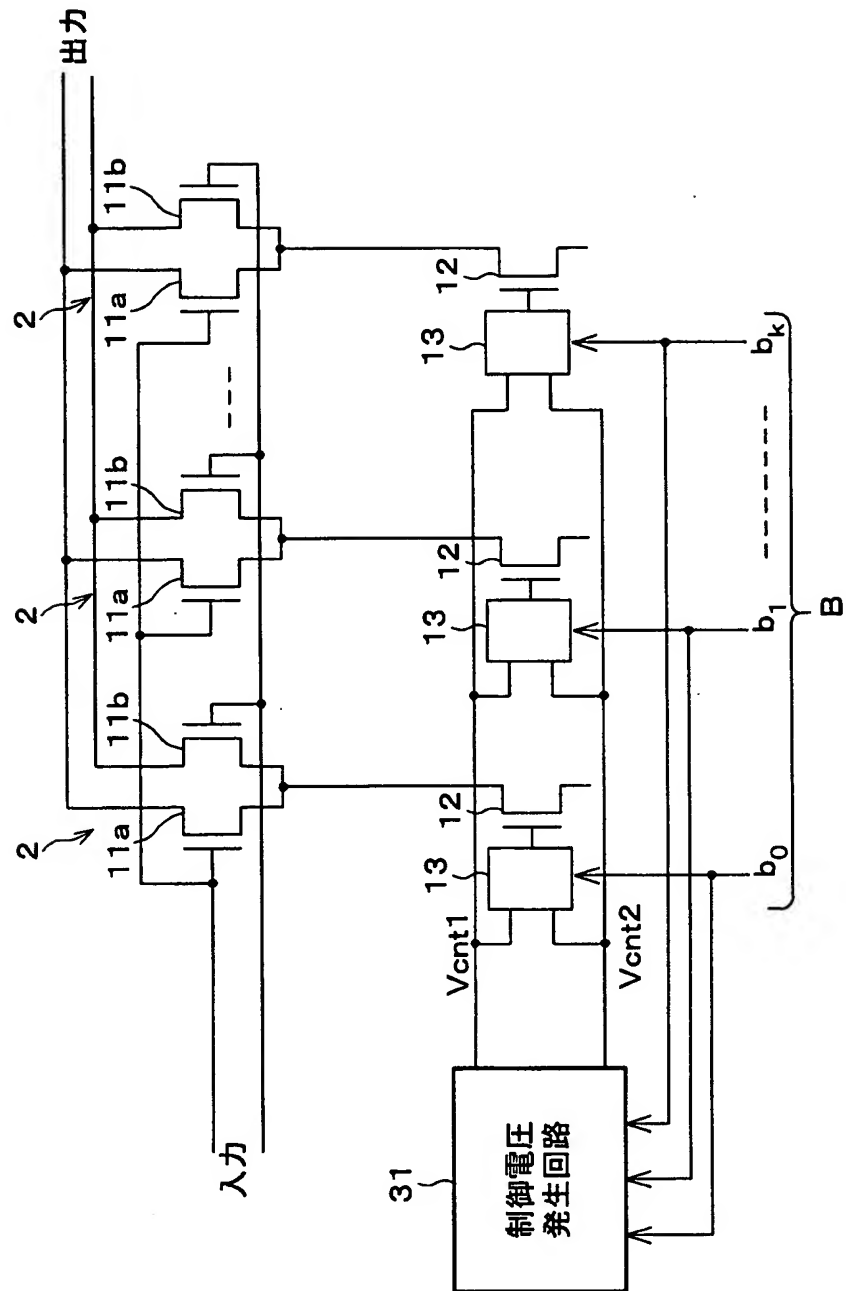
【図 13】



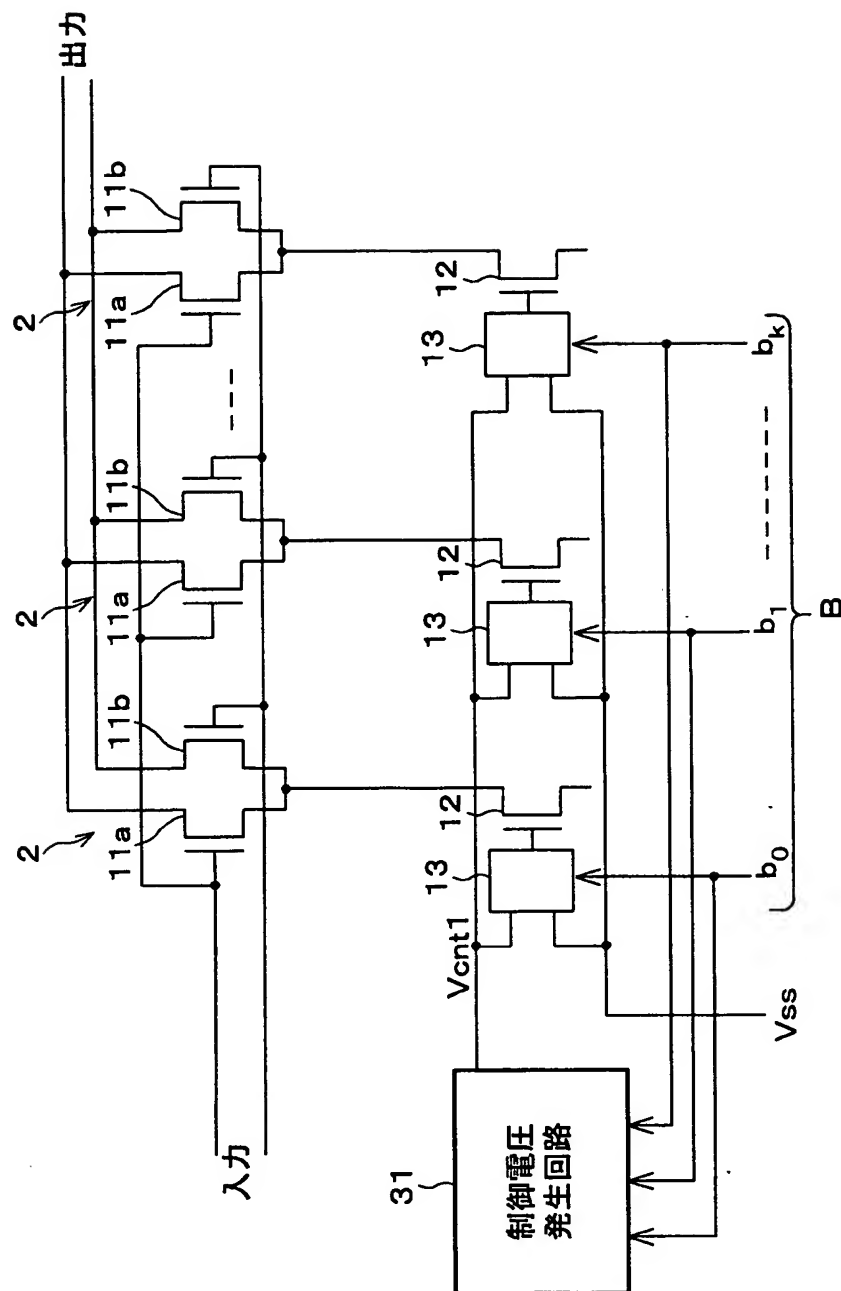
【図 14】



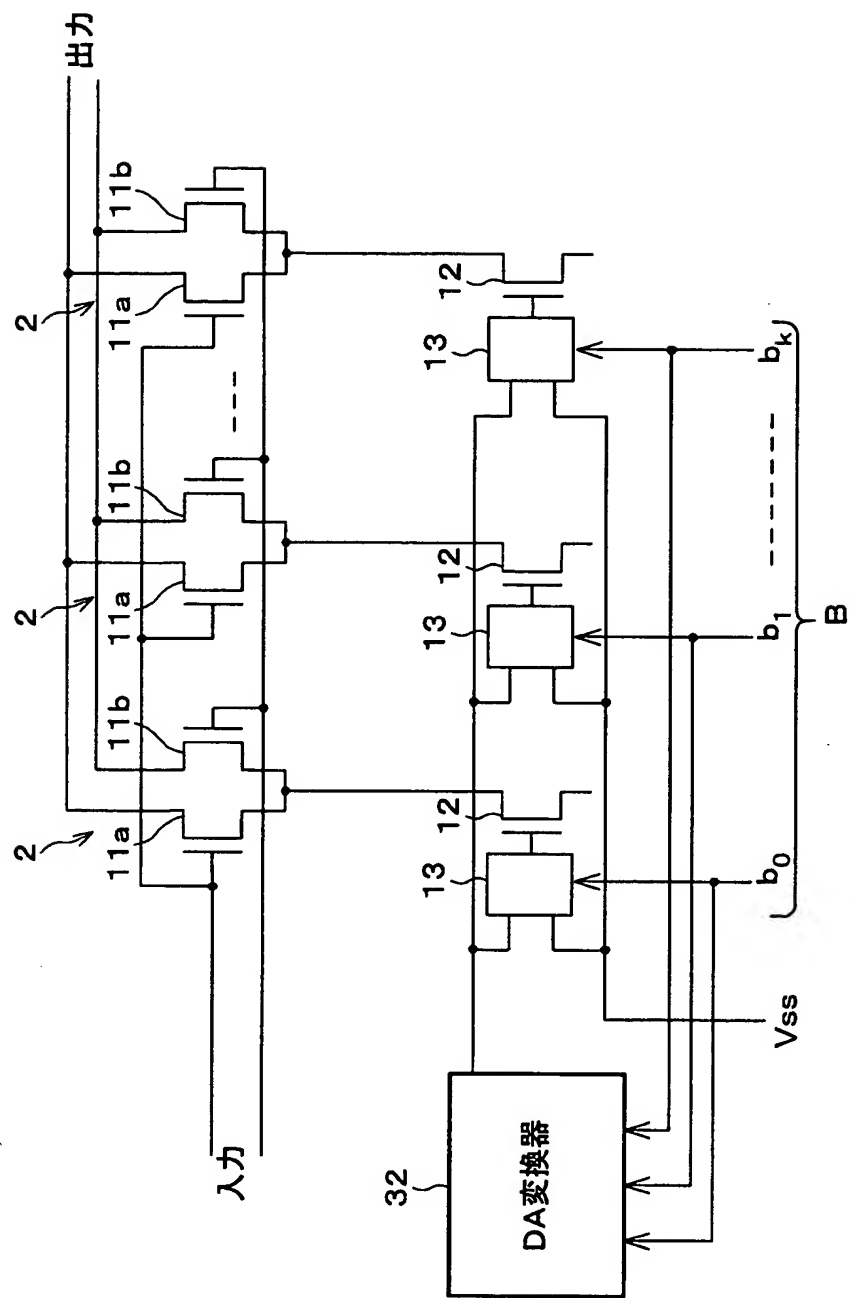
【図 15】



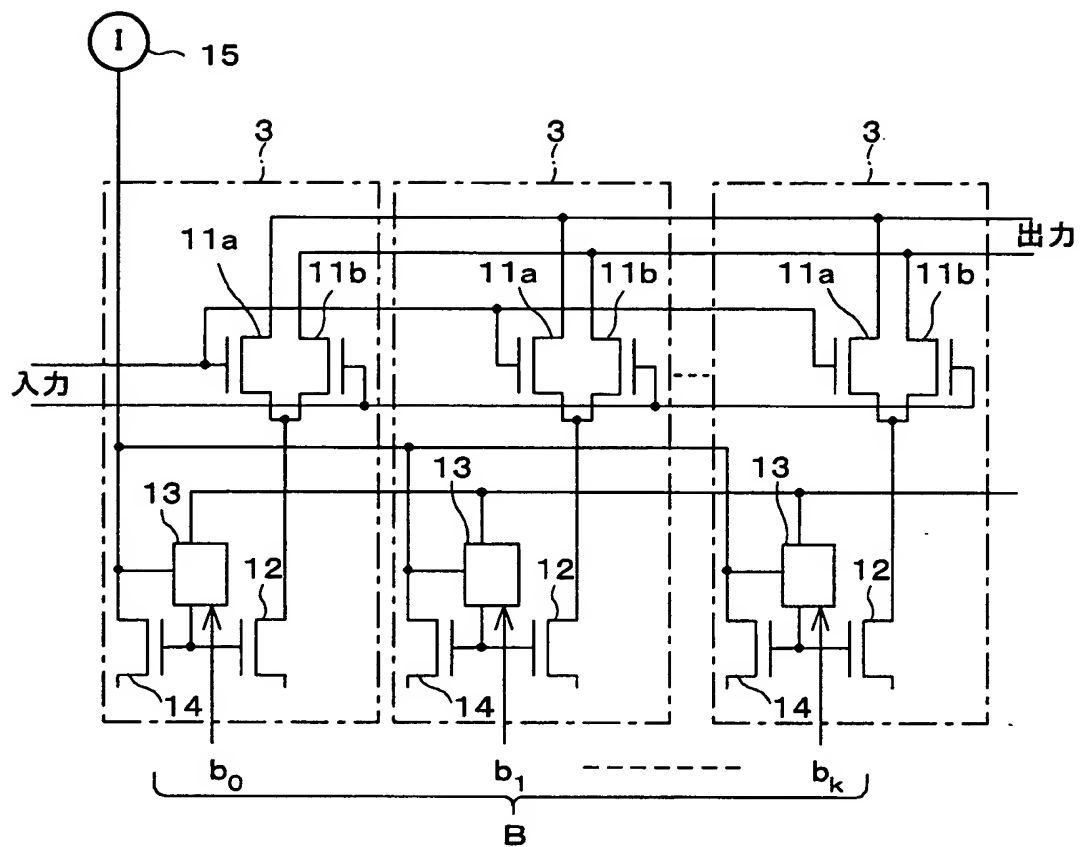
【図16】



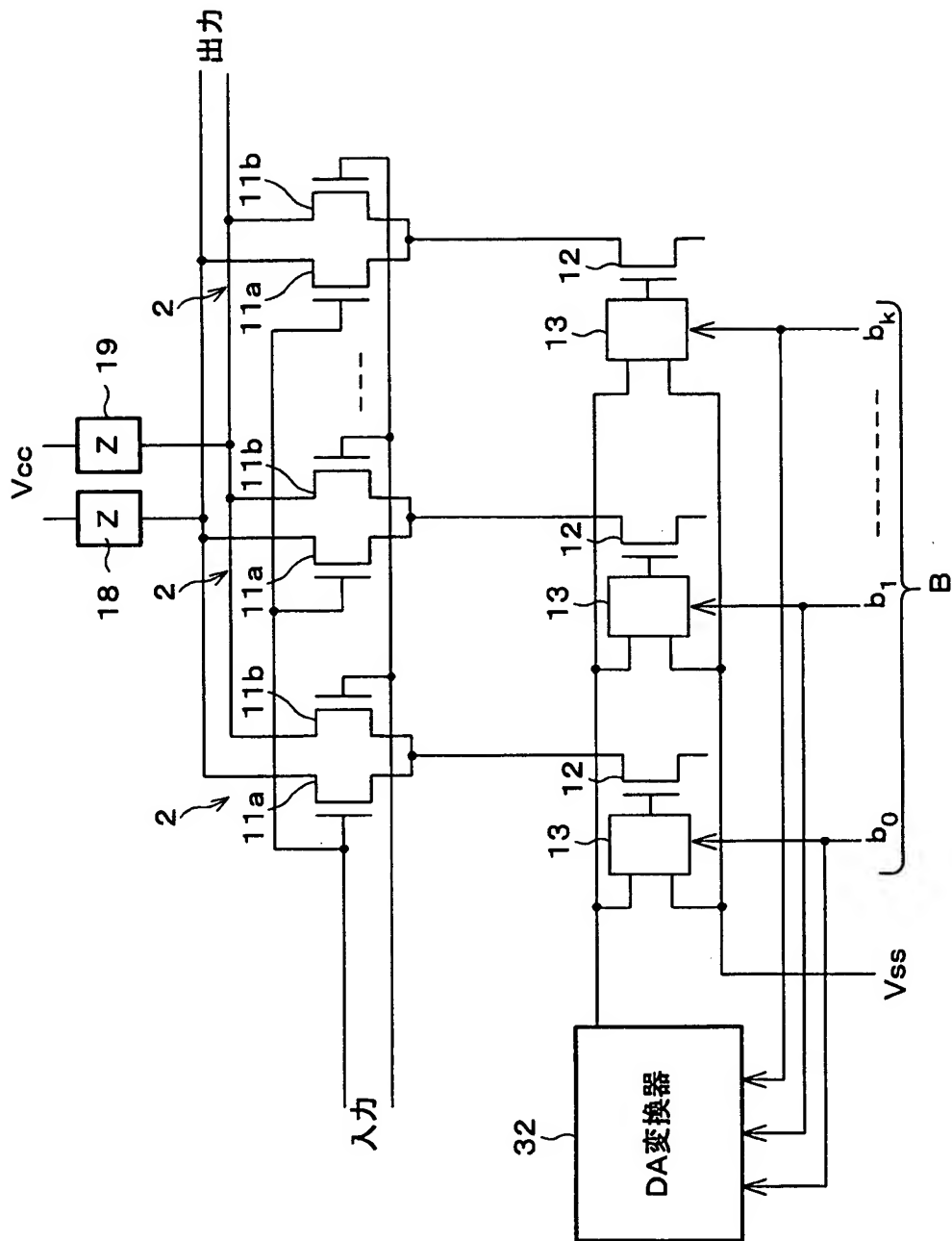
【図17】



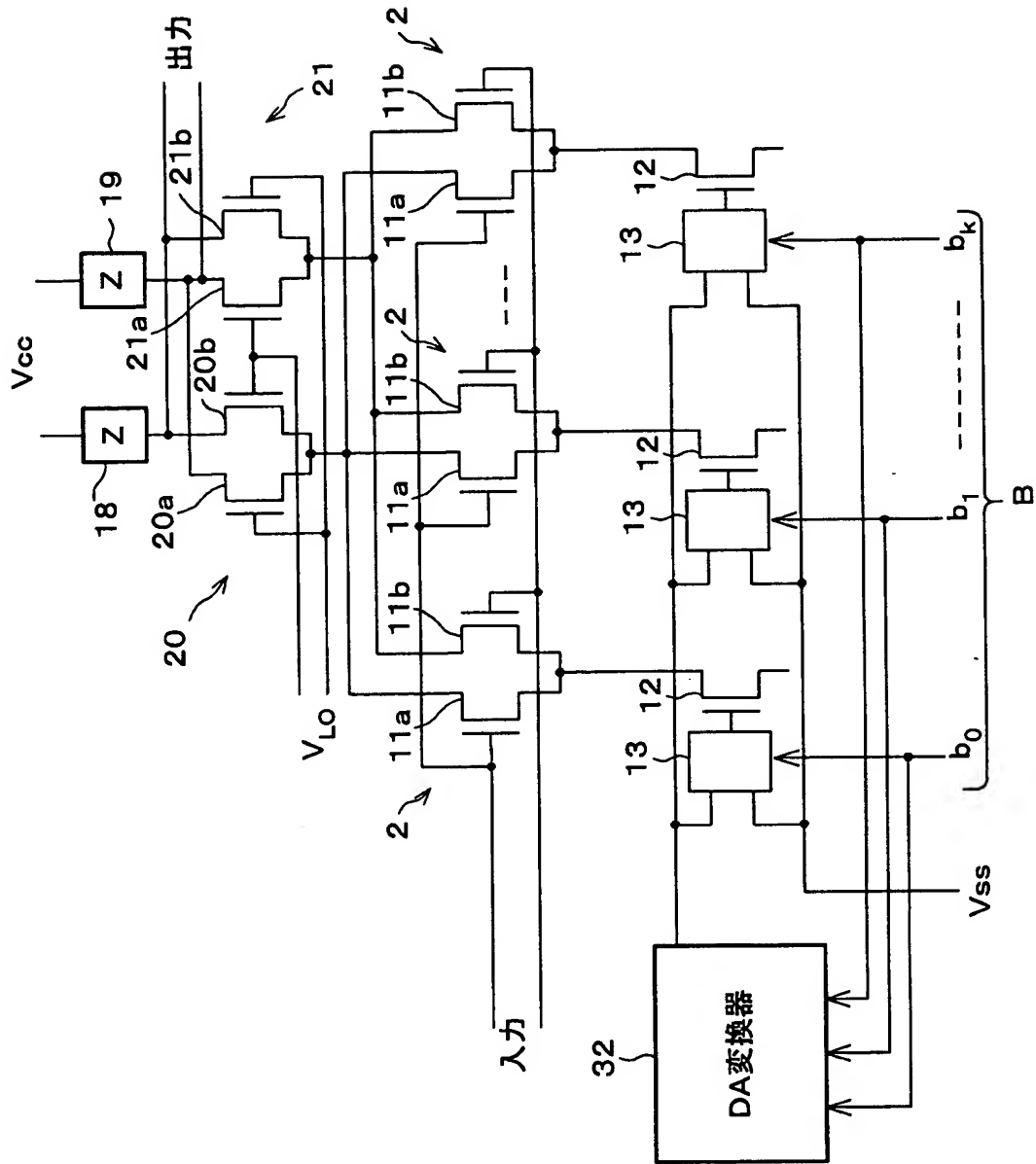
【図 1 8】



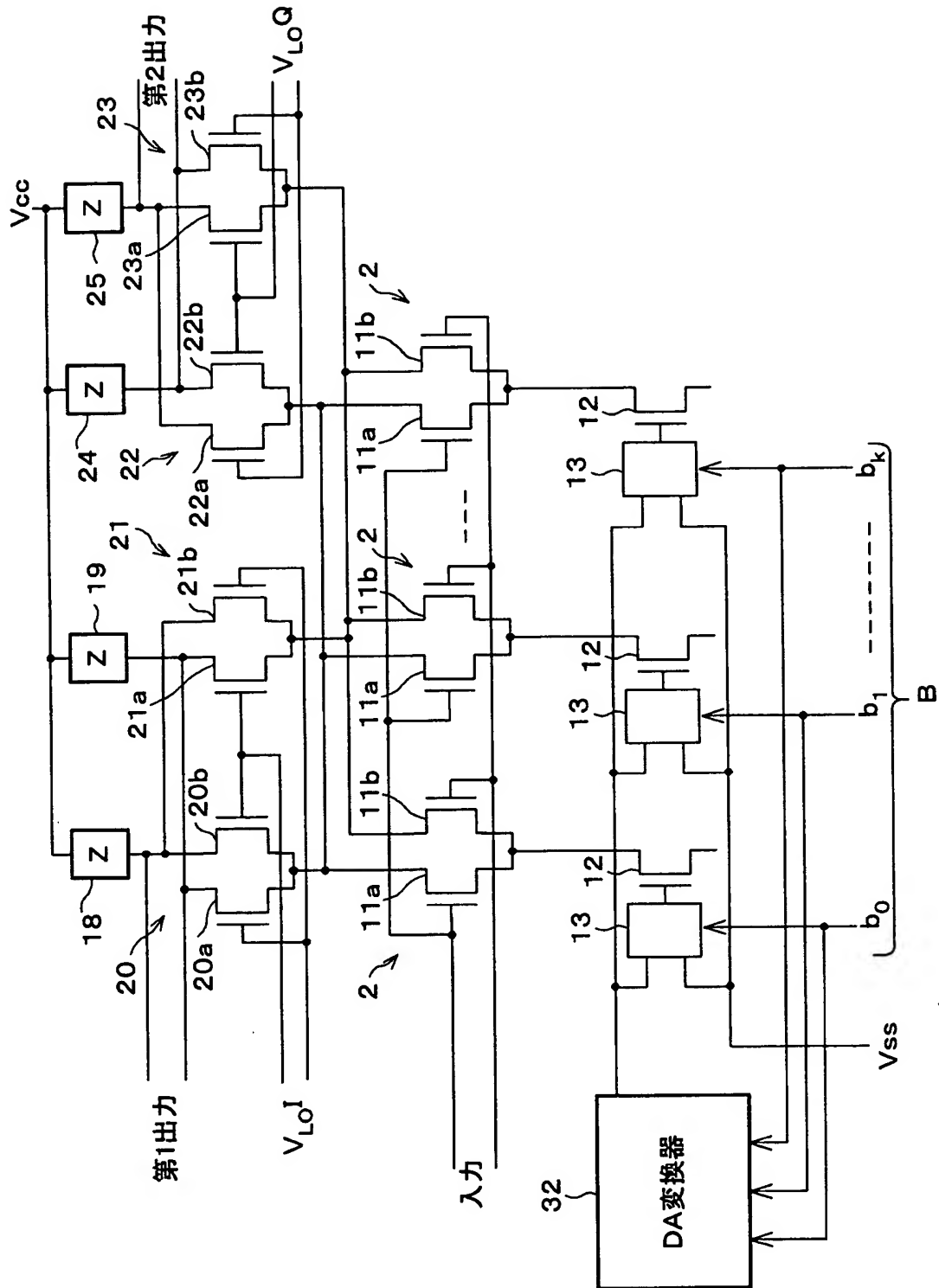
【图 19】



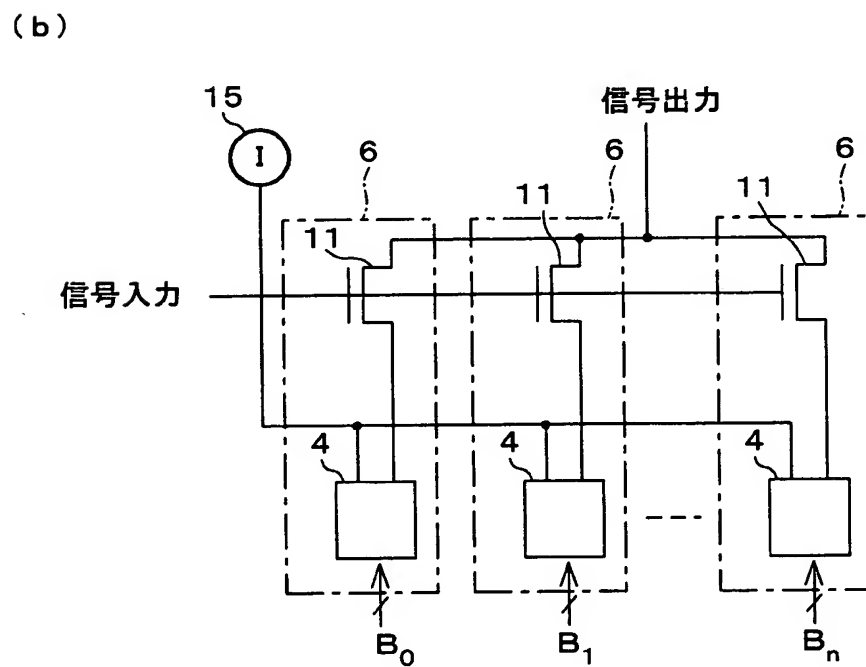
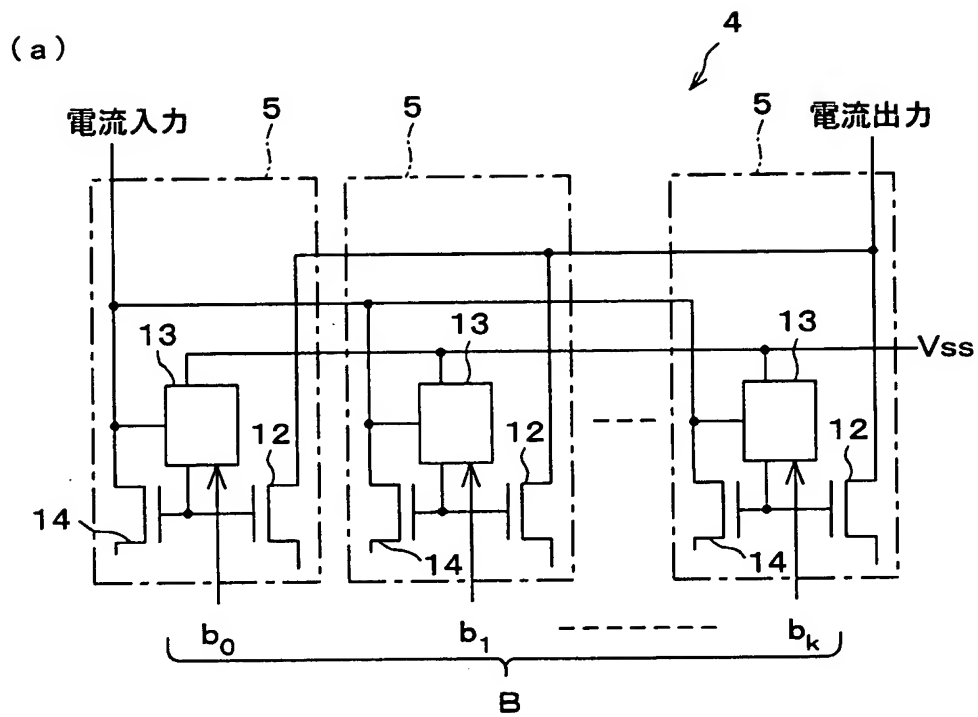
【図20】



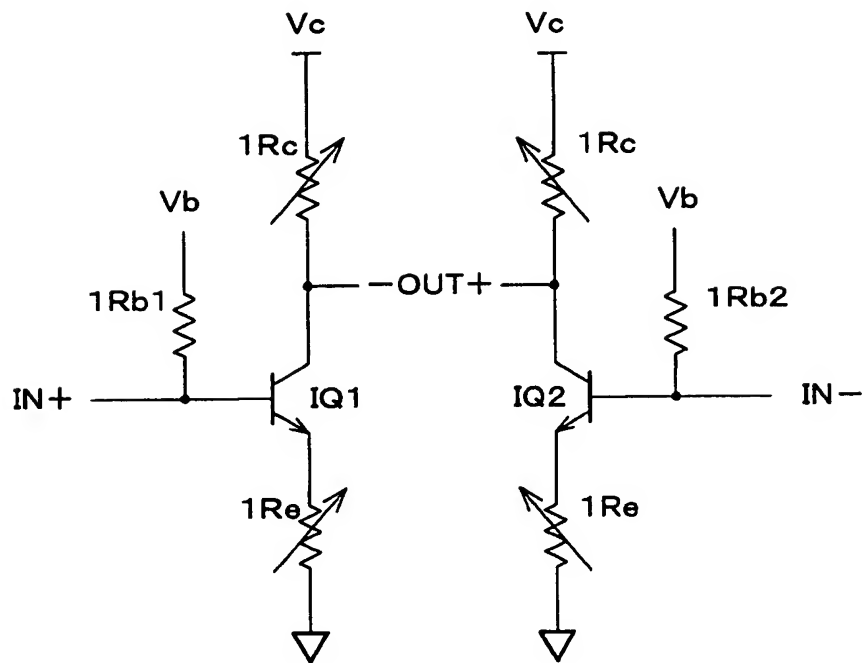
【図21】



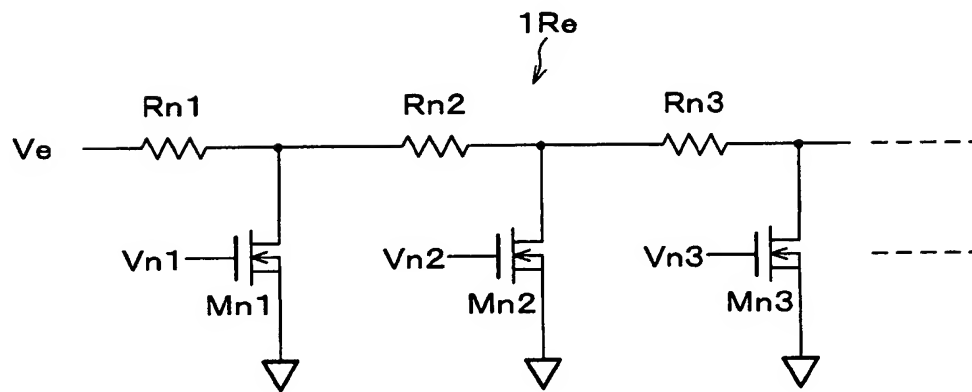
【図 22】



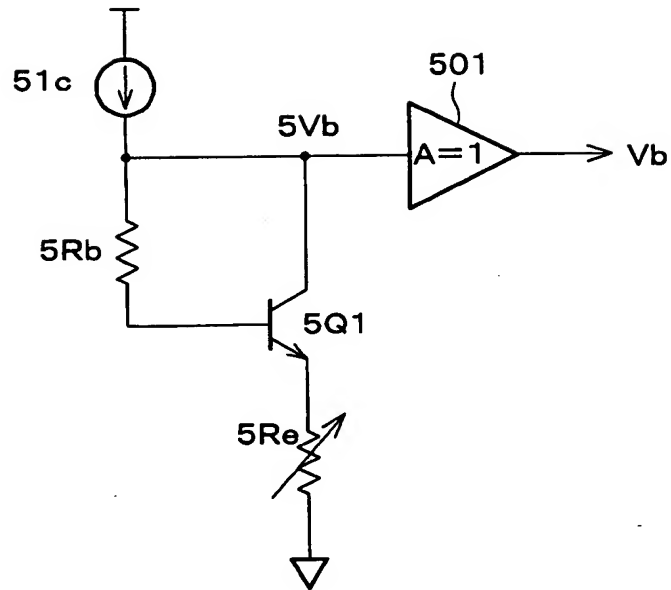
【図 23】



【図 24】



【図 2 5】



【書類名】 要約書

【要約】

【課題】 利得の減少分を I I P 3（3 次の入力インターセプトポイント）の増大分として作用させることができる実装面積の小さい可変利得増幅器を実現する。

【解決手段】 電流制御回路 C で、増幅トランジスタ部 Q に流れる電流の大きさを制御することによって、増幅トランジスタ部 Q を構成するトランジスタの大きさおよび I I P 3 および利得を制御する。回路に流れる電流値 I の電流を電流制御回路 C で保つことにより、トランジスタの大きさ W / L が縮小または増大すると、I I P 3 が増大または減少し、トランスコンダクタンス（利得）が低下または上昇する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号

氏 名 シャープ株式会社